

Timing diagram for the 74155 3-to-8 decoder. The diagram shows four signals: Φ_1 , Φ_2 , Φ_3 , and Φ_4 over two clock periods (1F and 2F). Φ_1 is a square wave. Φ_2 is a square wave that is high during the second half of the first clock period and the first half of the second clock period. Φ_3 is a square wave that is high during the first half of the first clock period and the second half of the second clock period. Φ_4 is a square wave that is high during the first half of the first clock period and the first half of the second clock period.

【特許請求の範囲】

【請求項1】 走査電極と信号電極のマトリクス交点に対応する画素にそれぞれ画素電極を備える電気光学装置用基板において、一時記憶した先行信号を読み出して画素駆動する画素駆動動作と前記先行信号から一定期間後に前記信号電極に生じる同一画素の遅行信号に対する一時記憶動作とを同時並行的に実行するアクティブ素子回路を前記画素毎にそれぞれ対応して作り込んで成ることを特徴とする電気光学装置用基板。

【請求項2】 請求項1において、前記アクティブ素子回路は、前記信号電極上の信号を時間分割で順次的にサンプルホールドするための少なくとも第1及び第2のサンプルホールド手段と、第1のサンプルホールド手段で保持された第1の一時保持信号と第2のサンプルホールド手段で保持された第2の一時保持信号とを時間分割で順次的に読み出してその読み出し信号に応じて前記画素電極に対し画素駆動を行うための画素駆動手段とを有して成ることを特徴とする電気光学装置用基板。

【請求項3】 請求項2において、前記第1のサンプルホールド手段は、第1の信号保持手段と、第1の書込みタイミング信号により開閉して前記信号電極上の信号を前記第1の信号保持手段にサンプリングする第1の信号書込み手段とを有し、前記第2のサンプルホールド手段は、第2の信号保持手段と、第2の書込みタイミング信号により開閉して前記信号電極上の信号を前記第2の信号保持手段にサンプリングする第2の信号書込み手段とを有して成ることを特徴とする電気光学装置用基板。

【請求項4】 請求項3において、前記第1の信号書込み手段は、一端子が前記信号電極に電気的に接続すると共に他端子が前記第1の信号保持手段に電気的に接続する第1のトランジスタであり、前記第2の信号書込み手段は、一端子が前記信号電極に電気的に接続すると共に他端子が前記第2の信号保持手段に電気的に接続し、前記第1のトランジスタとは同導電型である第2のトランジスタであることを特徴とする電気光学装置用基板。

【請求項5】 請求項3において、前記第1の信号書込み手段は、一端子が前記信号電極に電気的に接続すると共に他端子が前記第1の信号保持手段に電気的に接続する第1のトランジスタであり、前記第2の信号書込み手段は、一端子が前記信号電極に電気的に接続すると共に他端子が前記第2の信号保持手段に電気的に接続し、前記第1のトランジスタとは逆導電型である第2のトランジスタであることを特徴とする電気光学装置用基板。

【請求項6】 請求項3乃至請求項5のいずれか一項において、走査電極駆動手段からの走査電極駆動波形をフレーム期間毎に切り換わるタイミング信号に基づき奇数フレーム期間中に前記第1の書込みタイミング信号を生成すると共に偶数フレーム期間中に前記第2の書込みタイミング信号を生成する書込みタイミング手段を周辺回路に有して成ることを特徴とする電気光学装置用基板。

【請求項7】 請求項3乃至請求項5のいずれか一項において、奇数フレーム期間中に前記第1の書込みタイミング信号を画素行に順次的にそれぞれ第1の前記走査電極を介して生成する奇数フレーム用走査電極駆動手段と、偶数フレーム期間中に前記第2の書込みタイミング信号を画素行に順次的にそれぞれ第2の前記走査電極を介して生成する偶数フレーム用走査電極駆動手段とを周辺回路に有して成ることを特徴とする電気光学装置用基板。

【請求項8】 請求項2乃至請求項7のいずれか一項において、前記画素駆動手段は、第1の読み出しタイミング信号により開閉して前記第1の一時保持信号を読み出す第1の信号読み出し手段と、第2の読み出しタイミング信号により開閉して前記第2の一時保持信号を読み出す第2の信号読み出し手段と、前記第1の信号読み出し手段と前記第2の信号読み出し手段とで順次的に読み出された信号に応じて前記画素電極に対し画素駆動を行う共通画素駆動手段とを有して成ることを特徴とする電気光学装置用基板。

【請求項9】 請求項8において、前記第1の信号読み出し手段は、一端子が前記第1のサンプルホールド手段に電気的に接続すると共に他端子が前記共通画素駆動手段の制御入力に電気的に接続する第3のトランジスタであり、前記第2の信号読み出し手段は、一端子が前記第2のサンプルホールド手段に電気的に接続すると共に他端子が前記共通画素駆動手段の前記制御入力に電気的に接続し、前記第3のトランジスタとは同導電型である第4のトランジスタであることを特徴とする電気光学装置用基板。

【請求項10】 請求項8において、前記第1の信号読み出し手段は、一端子が前記第1のサンプルホールド手段に電気的に接続すると共に他端子が前記共通画素駆動手段の制御入力に電気的に接続する第3のトランジスタであり、前記第2の信号読み出し手段は、一端子が前記第2のサンプルホールド手段に電気的に接続すると共に他端子が前記共通画素駆動手段の前記制御入力に電気的に接続し、前記第3のトランジスタとは逆導電型である第4のトランジスタであることを特徴とする電気光学装置用基板。

【請求項11】 請求項9又は請求項10において、前記共通画素駆動手段は、一端が画素駆動電源に電気的に接続すると共に他端子が前記画素電極に電気的に接続する第5のトランジスタであることを特徴とする電気光学装置用基板。

【請求項12】 請求項2乃至請求項7のいずれか一項において、前記画素駆動手段は、第1の読み出しタイミング信号により開閉して前記第1の一時保持信号を読み出してその読み出し信号に応じて前記画素電極に対し画素駆動を行う第1の画素駆動手段と、第2の読み出しタイミング信号により開閉して前記第2の一時記憶信号を

読み出してその読み出し信号に応じて前記画素電極に対し画素駆動を行う第2の画素駆動手段とを有して成ることを特徴とする電気光学装置用基板。

【請求項13】 請求項12において、前記第1の画素駆動手段は、一端子が前記第1のサンプルホールド手段に電気的に接続すると共に他端子が前記画素電極に電気的に接続する第3のトランジスタであり、前記第2の画素駆動手段は、一端子が前記第2のサンプルホールド手段に電気的に接続すると共に他端子が前記画素電極に電気的に接続し、前記第3のトランジスタとは同導電型である第4のトランジスタであることを特徴とする電気光学装置用基板。

【請求項14】 請求項8、請求項9、請求項12又は請求項13において、フレーム期間毎に切り換わるタイミング信号に基づき奇数フレーム中は前記第1の読み出しタイミング信号を生成し、偶数フレーム中は前記第2の読み出しタイミング信号を生成する読み出しタイミング手段を周辺回路に有して成ることを特徴とする電気光学装置用基板。

【請求項15】 請求項14において、前記読み出しタイミング手段は、前記第1の読み出しタイミング信号と前記第2の読み出しタイミング信号との間にブランキング期間を間挿する間空き読み出しタイミング手段であることを特徴とする電気光学装置用基板。

【請求項16】 請求項12において、前記第1の画素駆動手段は、一端子が前記第1のサンプルホールド手段に電気的に接続すると共に他端子が前記画素電極に電気的に接続する第3のトランジスタであり、前記第2の画素駆動手段は、一端子が前記第2のサンプルホールド手段に電気的に接続すると共に他端子が前記画素電極に電気的に接続し、前記第3のトランジスタとは逆導電型である第4のトランジスタであることを特徴とする電気光学装置用基板。

【請求項17】 請求項10又は請求項16において、フレーム期間毎に切り換わるタイミング信号を奇数フレーム中は前記第1の読み出しタイミング信号として利用すると共に偶数フレーム中は前記第2の読み出しタイミング信号として利用して成ることを特徴とする電気光学装置用基板。

【請求項18】 請求項1乃至請求項17のいずれか一項において、前記信号電極上の信号がアナログ信号であることを特徴と電気光学装置用基板。

【請求項19】 請求項1乃至請求項17のいずれか一項において、前記信号電極上の信号がパルス幅変調信号であることを特徴と電気光学装置用基板。

【請求項20】 請求項1乃至請求項19のいずれか一項に規定する電気光学装置用基板とこれに対向する透明基板との間隙に電気光学材料を挟持して成ることを特徴とする電気光学装置。

【請求項21】 請求項20において、前記透明基板の

対向電極に対しフレーム期間毎に切り換わる共通電圧を印加するようにしたことを特徴とする電気光学装置。

【請求項22】 請求項20又は請求項21に規定する電気光学装置を表示部に用いて成ることを特徴とする電子機器。

【請求項23】 請求項20又は請求項21に規定する電気光学装置をライトバルブに用いて成ることを特徴とする投写型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、反射型液晶パネル用基板等の電気光学装置用基板に関し、特に、アクティブマトリクス型の電気光学装置用基板に関する。

【0002】

【関連の技術】本出願人は、1996年10月22日付出願に係る特願平8-279388号を以て、以下に述べる液晶パネル用基板、液晶パネル及び投写型表示装置の構成を開示した。反射型液晶パネルをライトバルブとして用いた投写型表示装置（液晶プロジェクタ）は、図14に示すように、システム光軸 L_0 に沿って配置した光源部110、インテグレートレンズ120、及び偏光変換素子130から概略構成される偏光照明装置100と、偏光照明装置100から射出されたS偏光束をS偏光束反射面201により反射させる偏光ビームスプリッタ200と、偏光ビームスプリッタ200のS偏光束反射面201から反射された光のうち青色光（B）の成分を分離するダイクロイックミラー412と、分離された青色光（B）を変調する反射型液晶ライトバルブ300Bと、ダイクロイックミラー412によって青色光が分離された後の光束のうち赤色光（R）の成分を反射させて分離するダイクロイックミラー413と、分離された赤色光（R）を変調する反射型液晶ライトバルブ300Rと、ダイクロイックミラー413を透過する残りの緑色光（G）を変調する反射型液晶ライトバルブ300Gと、3つの反射型液晶ライトバルブ300R、300G、300Bにて変調された光を光路逆進させてダイクロイックミラー413、412、偏光ビームスプリッタ200にて合成し、この合成光をスクリーン600へ投写する投写レンズからなる投写光学系500とから構成されている。各反射型液晶ライトバルブ300R、300G、300Bとしては、それぞれ図15の断面図に示すような反射型液晶パネル30が用いられている。

【0003】この反射型液晶パネル30は、ガラス又はセラミック等からなる支持基板32上に接着剤で固着された反射型液晶パネル用基板31と、この反射型液晶パネル用基板31上をシール材36で枠形状に囲み、間隔において対向配置した透明導電膜（ITO）からなる対向電極（共通電極）33を持つ光入射側のガラス基板（対向基板）35と、反射型液晶パネル用基板31とガラス基板35との間のシール材36で封止された隙間内

において充填された周知のTN (Twisted Nematic) 型液晶又は電圧無印加状態で液晶分子が略垂直配向するSH (Super Homeotropic) 型液晶37とを有している。

【0004】図16はこの反射型液晶パネル30に用いられる反射型液晶パネル用基板31の主要回路構成を示し、図17はその反射型液晶パネル用基板31を拡大した平面レイアウトを示す。反射型液晶パネル用基板31は、図15に示す多数の画素電極14がマトリクス状に配置された矩形的画素領域(表示領域)20と、画素領域20の左右辺の外側に位置し、ゲート線(走査電極、行電極) $Y_1 \sim Y_n$ を走査するためのシフトレジスタ及びバッファ回路から成る走査線駆動回路(Yドライバー)22(22R, 22L)と、画素領域20の上辺の外側に位置し、データ線(ソース線、信号電極、列電極) $X_1 \sim X_m$ についてのプリチャージ及びテスト回路23と、画素領域20の下辺の外側に位置し、データ線 $X_1 \sim X_m$ に画像データに応じた画像信号をサンプリングして供給する画像信号サンプリング回路24と、走査線駆動回路22、プリチャージ及びテスト回路23、及び画像信号サンプリング回路24の外側には前述したシール材37が位置決めされる枠形状のシール領域27と、下側端に沿って配列されており、異方性導電膜(ACF)38を介してフレキシブルテープ配線39に固着接続される複数の端子パッド26と、この端子パッド26の列とシール領域27との間に位置し、画像信号サンプリング回路24のための選択パルスを生成するシフトレジスタ21と、そのシフトレジスタ21の両脇に位置し、ガラス基板35の対向電極33に給電するための中継端子パッド(いわゆる銀点)29R, 29Lとから構成されている。

【0005】シフトレジスタ21と画像信号サンプリング回路24はデータ線 $X_1 \sim X_m$ を駆動するための信号線駆動回路(Xドライバー)40を構成している。この信号線駆動回路40はデータ線 $X_1 \sim X_m$ に対し1本ずつ順番にデータ信号を送り込む点順次駆動方式を採用している。なお、すべてのデータ線 $X_1 \sim X_m$ に対し一斉にデータ信号を送り込む線順次駆動方式を採用することもできる。画素(画素電極14)がマトリクス状に配列された画素領域20は、格子状に配置されたデータ線 $X_1 \sim X_m$ 及びゲート線 $Y_1 \sim Y_n$ と、それらの交点部毎に配置された画素選択用のMOSFET(絶縁ゲート型電界効果トランジスタ)T($T_{11} \sim T_{nm}$)を有している。各画素のトランジスタTのソースSはデータ線Xに、ゲートGはゲート線に、ドレインDは後述するように画素電極14及び保持容量Cにそれぞれ接続されている。この反射型液晶パネル用基板31の画素電極14には、対向基板のガラス基板35との間に充填される液晶37の液晶セルLCが接続される。

【0006】なお、シール領域27の内側に位置する周辺回路(走査線駆動回路22R, 22L, プリチャージ

及びテスト回路23、及び画像信号サンプリング回路24)にも、光が入射するのを防止するため、最上層の画素電極14と同層の遮光膜25(図15参照)が設けられている。

【0007】図18は反射型液晶パネル用基板31の画素領域20の一部を拡大して示す平面図で、図19は図18中のA-A'に沿って切断した状態を示す切断図である。図18において、1は単結晶シリコンのP型半導体基板(N型半導体基板でも良い)で、例えば20mm角の大形サイズである。2はこの半導体基板1のうちの素子(MOSFETなど)形成領域の表面(主面)側に形成されたP型ウェル領域、3は半導体基板1の素子非形成領域における素子分離用に形成されたフィールド酸化膜(いわゆるLOCOS)である。図19に示すP型ウェル領域2は、例えば画素数768×1024というような多数の画素がマトリクス状に配置された画素領域20の共通ウェル領域として形成されており、画素領域20以外の周辺回路(走査線駆動回路22R, 22L, プリチャージ及びテスト回路23、画像信号サンプリング回路24、及び信号線駆動回路21)を構成する素子を作り込むための領域のP型ウェル領域とは分離されている。

【0008】フィールド酸化膜3には1画素毎の区画領域に2つの開口部が形成されている。一方の開口部の内側中央にゲート絶縁膜4bを介して形成されたポリシリコン又はメタルシリサイド等からなるゲート電極4aと、このゲート電極4aの両側のP型ウェル領域2の表面に形成されたN+型ソース領域5a、N+型ドレイン領域5bとが画素選択用のNチャネル型MOSFET(絶縁ゲート型電界効果トランジスタ)Tを構成している。行方向に隣接する複数の画素の各ゲート電極4aはそのまま画素行方向に延在してゲート線4(図16図示のY)を構成している。

【0009】また、他方の開口部の内側のP型ウェル領域2の表面に形成された行方向共通のP型容量電極領域8と、このP型容量電極領域8の上に絶縁膜(誘電膜)9bを介して形成されたポリシリコン又はメタルシリサイド等からなる容量電極9aとが画素選択用トランジスタTで選択された信号を保持するための保持容量Cを構成している。

【0010】ゲート電極4a及び容量電極9aの上には第1の層間絶縁膜6が形成され、この絶縁膜6上にはアルミニウムを主体とする第1のメタル層が形成されている。

【0011】第1のメタル層には、列方向に延在するデータ線7(図16図示のX)、データ線7から櫛歯状に突出してコンタクトホール6aを介してソース領域4bに導電接触するソース電極配線7a、コンタクトホール6bを介してドレイン領域5bに導電接触すると共にコンタクトホール6cを介して容量電極9aに導電接触す

る中継配線10とが含まれる。

【0012】データ線7、ソース電極配線7a及び中継配線10を構成する第1のメタル層の上には第2の層間絶縁膜11が形成され、この第2の層間絶縁膜11上にはアルミニウムを主体とする第2のメタル層が形成されている。この第2のメタル層には画素領域20の一面を覆う遮光膜12が含まれる。なお、この遮光膜12を構成する第2のメタル層は、画素領域20の周囲に形成される周辺回路（走査線駆動回路22R、22L、プリチャージ及びテスト回路23、画像信号サンプリング回路24、及び信号線駆動回路21）において素子間の接続用配線として利用される。

【0013】遮光膜12の中継配線10の真上に対応する位置にはプラグ貫通開口部12aが開けられている。遮光膜12の上には第3の層間絶縁膜13が形成され、この第3の層間絶縁膜13の上に略1画素分に対応した矩形の反射電極としての画素電極14が形成されている。遮光膜12の開口部12aに対応してその内側に位置するように、第3、第2の層間絶縁膜13、11を貫通するコンタクトホール16が設けられている。このコンタクトホール16内にはタングステン等の高融点金属をCVD法により埋め込んだ後、第3の層間絶縁膜13の上に堆積した高融点金属層と第3の層間絶縁膜13の表面側をCMP（化学的機械研磨）法で削り込んで鏡面様に平坦化する。次いで、例えば低温スパッタ法によりアルミニウム層を成膜し、パターニングにより一辺が15～20 μ m程度の矩形の画素電極（反射電極）14を形成する。中継配線10とその上層の画素電極14とは柱状の接続プラグ（層間導電部）15で電氣的に接続されている。そして、画素電極14の上にはパッシベーション膜17が全面的に形成されている。

【0014】なお、接続プラグ15の形成方法としては、CMP法で第3の層間絶縁膜13を平坦化した後、コンタクトホールを開口し、その中にタングステン等の高融点金属を埋め込む方法もある。

【0015】

【発明が解決しようとする課題】このような反射型液晶パネル用基板31の駆動方式は、まず、走査線駆動回路22がゲート線 Y_1 を選択し、そのゲート選択期間（1水平期間、1行選択期間）において、信号線駆動回路40からデータ線 $X_1 \sim X_n$ に対し1本ずつ順番に画素選択期間（列選択期間）ごとデータ信号が送り込まれ、第1列上の画素では保持容量Cと画素電極14に接続された液晶セルLCに対し、点順次でデータ信号の書込みが行われる。次に、ゲート線駆動回路22がゲート線 Y_2 を選択したゲート選択期間においては、第2行上の画素では保持容量Cと画素電極14に接続された液晶セルLCに対し、点順次でデータ信号の書込みが行われる。このようにして、最後に第n行上の画素に対するデータ信号の書込みが行われると、全画素の書込み期間（信号線駆

動回路40側では画像信号の1フレーム転送）が終了し、その後の全画素表示期間の後、次の1フレーム転送が開始される。

【0016】ところが、次の1フレーム転送が開始されると、ゲート線 Y_1 を選択したゲート選択期間では、第1行第1列の画素上のデータ信号がリフレッシュされる（書換えられる）が、第1行上のその他の画素や第2行以下の画素では前フレームの信号がそのまま残っている。このため、書込み期間では前フレームに属する画像と後フレームに属する画像との切り換わる画素が点順次で進行し、実際はそのまま表示画面に現れているため、表示画面の不均一が生じる。画素数が比較的少ない表示画面の場合、書込み期間を短縮できるため、上記の如き表示画面の不均一は視覚され難いが、画素数を増やす程に、全画素の書込み時間が長くなる分、全画素表示期間が短くなり、表示画面の不均一が顕在化し、画質の低下を招く。勿論、信号線駆動回路40は、点順次方式ではなく、線順次方式を採用できるが、かかる場合も、全画素の書込み時間では、前フレームに属する画像と後フレームに属する画像との切り替わり画素が線順次で進行し、そのまま表示画面に現れているため、やはり表示画面の不均一が生じる。画素数を増やした場合、表示画面の不均一により画質の低下を招く。このため、高画素数による大画面化又は高精細化に限界があった。

【0017】そこで、上記問題点に鑑み、本発明の課題は、点順次又は線順次の書込み方式を採用しても、その書込み順次が画面に顕在化せず、表示画面の不均一を解消でき、高画質が得られる電気光学装置用基板を提供することにある。

【0018】

【課題を解決するための手段】上記課題を解決するため、本発明の講じた手段は、走査電極と信号電極のマトリクス交点に対応する画素にそれぞれ画素電極を備える電気光学装置用基板において、一時記憶した先行信号（例えば前フレームの信号）を読み出して画素を駆動する画素駆動動作とその先行信号から一定時間後に信号電極に生じる同一画素の遅行信号（例えば後フレームの信号）に対する一時記憶動作とを同時並行的に実行するアクティブ素子回路を画素毎にそれぞれ対応して作り込んで成るものである。

【0019】従来のアクティブ素子回路では同一画素の信号を保持容量に一時記憶するタイミングと電気光学材料を画素駆動するタイミングとが一致しているものであるが、本発明の電気光学装置用基板によれば、信号電極からの信号を一時記憶するタイミングと、その一時記憶信号を読み出して画素を駆動するタイミングとを一定期間（例えば1フレーム期間）内で積極的にずらすことができるため、次の期間に亘り全画素の同時駆動（同時静止表示）を実現できる。ここで、一定期間とは、フルフレーム期間に限らず、カラーシーケンシャル表示方式

(フィールド色順次方式)において、1フルフレーム期間にR、G、Bのサブフレーム期間を順に含む場合は、このサブフレーム期間も一定期間に相当している。

【0020】本発明においては、点順次方式又は線順次方式に拘らず、書込み順次が一時記憶順次に留まるに過ぎないため、書込み順次は画素駆動順次として顕在化せず、全面素一斉のフレーム切り換え表示ができる。これにより、表示画面の不均一を解消でき、高画質の電気光学装置用基板を提供できる。このため、画素数の多少に無関係で、高画質の大画面化又は高精細化を実現できる。また、一定期間(例えば1フレーム期間)に亘り全面素の同時駆動(同時静止表示)も実現でき、表示時間と書込み時間が相反せず、従前に比し表示時間を長くできるので、より一層の高画質化を達成できる。また、一定期間(例えば1フレーム期間)に亘り全面素の一時記憶動作も実現でき、書込み期間を長くできる。信号転送速度の低速化による周辺回路構成の簡素化又は高画素数化を実現できる。電気光学装置用基板に外付けする表示データ用のフレームメモリを不要化できる。

【0021】このような画素駆動遅延型アクティブ素子回路としては、信号電極からの信号を取り込む一時記憶動作を時間分割で排他的ないし順次的に実行する複数のサンプルホールド手段と、各サンプルホールド手段からの一時保持信号を読み出して画素駆動動作を時間分割で排他的ないし順次的に実行する画素駆動手段とを有している。一般的には、サンプルホールド手段として第1と第2のサンプルホールド手段のみで構成すれば充分である。かかる場合、遅行信号の書込み期間と先行信号の画素駆動期間とは同じとなる。しかし、第3以上のサンプルホールド手段を設けても良い。N個のサンプルホールド手段を有する場合、例えば、遅行信号の書込み期間を先行信号の画素駆動期間の(N-1)倍とすることでもできるため、信号転送速度の低速化による周辺回路構成の簡素化や高画素数化が顕著なものとなる。カラーシーケンシャル方式の場合、例えば3つのサンプルホールド手段を設けた場合、Rサブフレームの画素駆動期間とGサブフレームの画素駆動期間とに亘りBサブフレーム信号を書込むことができる。

【0022】このサンプルホールド手段において信号側に視座を移せば、各画素に1本の信号電極が割当てられている場合は、1本の信号電極上のシリアル信号が複数のサンプルホールド手段において先行信号と遅行信号とに振り分けて直並列変換された後、それぞれ一時記憶される。かかる場合、複数のサンプルホールド手段の選択タイミングを制御するための走査電極の本数がサンプルホールド手段の数だけ必要になる。例えば、第1と第2のサンプルホールド手段を具備する場合、1本の信号電極と2本の走査電極が必要となる。逆に、例えば奇数フレーム専用の信号電極と偶数フレーム専用の信号電極を設ける場合は、走査電極1本を共用でき、もはや第1と第

2のサンプルホールド手段が直並列変換手段としての機能を営まず、一時記憶機能のみを果たす。

【0023】上記第1のサンプルホールド手段は、第1の信号保持手段と、第1の選択タイミング信号により開閉して信号電極上の信号を第1の信号保持手段にサンプリングする第1の信号書込み手段とを有する。また第2のサンプルホールド手段は、第2の信号保持手段と、第2の選択タイミング信号により開閉して信号電極上の信号を第2の信号保持手段にサンプリングする第2の信号書込み手段とを有する。先行信号(例えば前(奇数)フレームの信号)は例えば第1の信号書込み手段により第1の信号保持手段に一時保持されると共に、遅行信号(例えば後(偶数)フレームの信号)は例えば第2の信号書込み手段により第2の信号保持手段に一時保持される。

【0024】具体的に、第1の信号書込み手段は、一端子が信号電極に電気的に接続すると共に他端子が第1の信号保持手段に電気的に接続する第1のトランジスタとし、第2の信号書込み手段は、一端子が信号電極に電気的に接続すると共に他端子が第2の信号書込み手段に電気的に接続し、第1のトランジスタとは同導電型である第2のトランジスタとすることができる。ここで、トランジスタはモノポーラに限らずバイポーラトランジスタを用いることができる。第1及び第2のトランジスタは同導電型であるため、素子の特性差を抑制でき、アナログ駆動の場合に利点がある。

【0025】これに対し、第1の信号書込み手段は、一端子が信号電極に電気的に接続すると共に他端子が第1の信号保持手段に電気的に接続する第1のトランジスタとし、第2の信号書込み手段は、一端子が信号電極に電気的に接続すると共に他端子が第2の信号保持手段に電気的に接続し、第1のトランジスタとは逆導電型である第2のトランジスタとすることができる。逆極性の相補型構成である。

【0026】このような第1と第2のサンプリング手段をアクティブ素子回路内に設けると、第1の書込みタイミング信号と第2の書込みタイミング信号をアクティブ素子回路へ供給するための書込みタイミング手段が周辺回路に必要となる。この書込みタイミング手段としては、交流化信号のようなフレーム期間毎に切り換わるタイミング信号を利用することができる。即ち、この書込みタイミング手段は走査電極駆動手段からの走査電極駆動波形をそのタイミング信号に基づき奇数フレーム期間中に第1の書込みタイミング信号を生成し、偶数フレーム期間中に第2の書込みタイミング信号を生成するものである。例えば、簡単な論理回路で構成できる。

【0027】また、従来の走査電極駆動手段(Yシフトレジスタ)を改良して本発明の書込みタイミング手段として用いることができる。即ち、奇数フレーム期間中に第1の書込みタイミング信号を画素行に順次的にそれぞ

れ第1の走査電極を介して生成する奇数フレーム用走査電極駆動手段と、偶数フレーム期間中に第2の書込みタイミング信号を画素行に順次的にそれぞれ第2の走査電極を介して生成する偶数フレーム用走査電極駆動手段を採用できる。

【0028】上記の画素駆動手段としては、第1の読み出しタイミング信号により開閉して第1の一時保持信号を読み出す第1の信号読み出し手段と、第2の読み出しタイミング信号により開閉して第2の一時保持信号を読み出す第2の信号読み出し手段と、第1の信号読み出し手段と第2の信号読み出し手段とで順次的に読み出された信号に応じて画素電極に対し画素駆動を行う共通画素駆動手段とを有する構成を採用できる。かかる画素駆動手段では読み出し専用機能と画素駆動専用機能を分掌している。デジタル駆動及びアナログ駆動に用いることができる。

【0029】第1の信号読み出し手段により第1の信号保持手段から先行信号が読み出されると、その先行信号に応じて共通画素駆動手段が例えば1フレーム期間に亘り画素電極を駆動し、次のフレーム期間では第2の信号読み出し手段により第2の信号保持手段から遅行信号が読み出されると、その遅行信号に応じて共通画素駆動手段が画素電極を駆動する。

【0030】ここにまた、第1の信号読み出し手段は、一端子が第1のサンプルホールド手段に電氣的に接続すると共に他端子が共用画素駆動手段の制御入力に電氣的に接続する第3のトランジスタとし、第2の信号読み出し手段は、一端子が第2のサンプルホールド手段に電氣的に接続すると共に他端子が共用画素駆動手段の制御入力に電氣的に接続し、第3のトランジスタとは同導電型である第4のトランジスタとすることができる。第3及び第4のトランジスタは同導電型であるため、素子の特性差を抑制でき、アナログ駆動の場合に利点がある。ただ、両トランジスタは同論理の開閉制御信号で開閉動作することから、それぞれを排他的に開閉制御するには、それぞれ専用の走査電極を必要とする。

【0031】これに対し、第1の信号読み出し手段は、一端子が第1のサンプルホールド手段に電氣的に接続すると共に他端子が共通画素駆動手段の制御入力に電氣的に接続する第3のトランジスタとし、第2の信号読み出し手段は、一端子が第2のサンプルホールド手段に電氣的に接続すると共に他端子が共通画素駆動手段の制御入力に電氣的に接続し、第3のトランジスタとは逆導電型である第4のトランジスタとすることができる。逆極性の相補型構成である。かかる場合、第3のトランジスタと第4のトランジスタとは互いに逆論理の開閉制御信号で開閉動作することから、書込みタイミング信号のための走査電極は共通の1本で済む。

【0032】そして、共通画素駆動手段としては、一端が画素駆動電源に電氣的に接続すると共に他端子が画素

電極に電氣的に接続する第5のトランジスタとすることができる。

【0033】別の画素駆動手段としては、第1の読出タイミング信号により開閉して第1の一時保持信号を読み出してその読み出し信号に応じて画素電極に対し画素駆動を行う第1の画素駆動手段と、第2の読出タイミング信号により開閉して第2の一時保持信号を読み出してその読み出し信号に応じて画素電極に対し画素駆動を行う第2の画素駆動手段とを有する構成を採用できる。かかる画素駆動手段は先行信号専用の読み出し駆動機能と遅行信号専用の読み出し駆動機能を分掌している。特に、アナログ駆動の場合に用いることができる。

【0034】第1の画素駆動手段により第1の信号保持手段から先行信号が読み出されると、そのままその先行信号に応じて1フレーム期間に亘り画素電極が駆動され、次のフレーム期間では第2の画素駆動手段により第2の信号保持手段から遅行信号が読み出されると、そのままその遅行信号に応じて1フレーム期間に亘り画素電極が駆動される。共通画素駆動手段を含まない分、アクティブ素子回路内の能動素子数や画素駆動電源配線を削減できる。

【0035】かかる画素駆動手段の場合も、前述した最初の画素励起手段と同様、第1の画素駆動手段は、一端子が第1のサンプルホールド手段に電氣的に接続すると共に他端子が画素電極に電氣的に接続する第3のトランジスタとし、第2の画素駆動手段は、一端子が第2のサンプルホールド手段に電氣的に接続すると共に他端子が画素電極に電氣的に接続し、第3のトランジスタとは同導電型である第4のトランジスタとすることができる。素子の特性差を抑制でき、アナログ駆動の場合に利点がある。

【0036】ところで、このような画素駆動手段をアクティブ素子回路内に設けると、第1の読み出しタイミング信号と第2の読み出しタイミング信号を作成するための読み出しタイミング手段が周辺回路に必要となる。その読み出しタイミング手段はフレーム期間毎に切り換わるタイミング信号を利用し、それに基づき奇数フレーム中は第1の読み出しタイミング信号を生成すると共に偶数フレーム中は第2の読み出しタイミング信号を生成するもので良い。

【0037】しかし、フレーム期間毎に排他的に第1の読み出しタイミング信号と第2の読み出しタイミング信号とが交互に発生した場合、フレーム切り換わり時点で、第1の信号読み出し手段(第1の画素駆動手段)と第2の信号読み出し手段(第2の画素駆動手段)の一方又は双方が開成し、保持信号が混成する虞れがある。そこで、読み出しタイミング手段としては、第1の読み出しタイミング信号と第2の読み出しタイミング信号との間にブランキング期間を間挿する間空き読み出しタイミング手段とするのが好ましい。この間空き読み出しタイ

ミング手段は、例えば、交流化信号とブランキン期間設定用クロックとを用いた簡単な論理回路で構成できる。特に、カラーシーケンシャル方式を採用する場合は、色相光源切り換え時の加色混合を拾わないため、高画質のカラー表示が可能となる。

【0038】また、第1の画素駆動手段は、一端子が第1のサンプルホールド手段に電氣的に接続すると共に他端子が画素電極に電氣的に接続する第3のトランジスタとし、第2の画素駆動手段は、一端子が第2のサンプルホールド手段に電氣的に接続すると共に他端子が画素電極に電氣的に接続し、第3のトランジスタとは逆導電型である第4のトランジスタとすることができる。かかる場合、第1の読み出しタイミング信号と第2の読み出しタイミング信号とは互いに逆論理であるため、フレーム期間毎に排他的に第1の読み出しタイミング信号と第2の読み出しタイミング信号とが交互に発生したとしても、フレーム切り換わり時点での同時開成の危険性は同導電型のトランジスタの場合に比し少ない。従って、フレーム期間毎に切り換わるタイミング信号を奇数フレーム中は第1の読み出しタイミング信号として利用すると共に偶数フレーム中は第2の読み出しタイミング信号として利用することができ、周辺回路構成の簡略化に資する。もっとも、かかる場合でも、ブランキング期間を設けると、カラーシーケンシャル方式における色相光源切り換え時の加色混合を排除でき、高画質のカラー表示が可能となる。

【0039】本発明の電気光学装置用基板は、上述したアクティブ素子回路を単結晶半導体基板に作り込んだものに限らず、ガラス基板や石英基板等の絶縁性透明基板に薄膜技術でTFT等を形成したものでも構わない。従前のアクティブ素子回路に比し、素子数が多いものの、透過型電気光学装置用基板としても充分利用可能である。

【0040】また、信号線上の信号がアナログ信号である場合、画素のアナログ駆動を実現でき、信号線上の信号がパルス幅変調方式である場合、画素のデジタル駆動を実現できることは言うまでもない。

【0041】上記の電気光学装置用基板とこれに対向する透明基板とを用い、その間隙に電気光学材料を挟むことにより電気光学装置が組立られる。電気光学材料としては、液晶に限らず、EL（エレクトロルミネッセンス）材料やDMD（デジタル・ミラー・デバイス）材料などの電圧駆動型素子の新電気光学材料を用いることができる。

【0042】ここで、電気光学装置において電気光学装置用基板を介して透明基板の対向電極に、又は透明基板の対向電極に直接、フレーム期間毎に切り換わる共通電圧を印加するようにした場合、画素電極の交流駆動が困難なときでも電気光学材料を交流駆動できる。例えば電気光学材料が液晶の場合などにおいては液晶劣化を防止

できる。また、画素電極に印加される信号のダイナミックレンジを相対的に小さくできるので、アクティブ素子回路の能動素子等を低耐圧素子として形成可能となり、素子微細化により占有面積の縮小化を実現でき、開口率の増大により高密度な高精細表示装置を実現できる。

【0043】このような電気光学装置は各種電子機器の表示部に用いると、高画質の表示を得ることができる。例えば、投写型表示装置のライトバルブに好適である。

【0044】

【発明の実施の形態】次に、本発明の各実施形態を添付図面に基づいて説明する。

【0045】〔実施形態1〕図1は本発明の実施形態1に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図、図2（A）はそのアクティブ素子回路を示す回路図、図2（B）はそのアクティブ素子回路の動作を説明するためのタイミングチャート、図3はアクティブマトリクス液晶表示素子駆動回路の動作を説明するためのタイミングチャートである。

【0046】本例の反射型液晶パネル用基板も、図15～図19に示す従来のパネル用基板と同様に、大形サイズの単結晶半導体基板（例えば20mm角）の主面に能動素子や容量素子を作り込み、その上に層間絶縁膜と導電層を交互に積み重ねて成膜し、平面的には主体的な面積を占める画素領域にマトリクス状に配列された多数の矩形的画素電極（反射電極）14を有するものである。

【0047】図1に示すアクティブマトリクス液晶表示素子駆動回路50は、半導体基板の画素領域の直下に作り込んだアクティブマトリクス回路51と、シリアル転送で入来する表示データ信号（Data）をアクティブマトリクス回路51の画素列毎1本宛の信号電極（X） $X_1 \sim X_m$ に送り込むための信号線駆動回路（Xドライバー）52と、アクティブマトリクス回路51の画素行を選択するための画素行毎4本宛の走査電極 Y_1 （ $Y_{11} \sim Y_{n1}$ ）、 Y_2 （ $Y_{12} \sim Y_{n2}$ ）、 Y_3 （ $Y_{13} \sim Y_{n3}$ ）、 Y_4 （ $Y_{14} \sim Y_{n4}$ ）に選択タイミング信号を送り込むための走査線駆動回路（Yドライバー）53とを有している。信号線駆動回路52と走査線駆動回路53とはアクティブマトリクス回路51に対する周辺回路を構成している。

【0048】信号線駆動回路52は、従来構成と同様に、シリアル信号の表示データ信号（Data）を画素選択期間毎に信号電極 $X_1 \sim X_m$ に順次振り分けるための n 個並列接続のスイッチ素子（MOSFET）を持つ画素信号サンプリング回路52aと、シフトクロックCLXとラッチパルスDXを基に各スイッチ素子にスイッチ駆動タイミングパルス $\phi_{H1} \sim \phi_{Hm}$ を順次的に生成する信号線シフトレジスタ（Xシフトレジスタ）52bとから成る。走査線駆動回路53は、従来構成と同様に、シフトクロックCLYと走査スタートパルス（フレーム開

始パルス)DYとを基に画素行に行駆動タイミングパルス $\phi_{v1} \sim \phi_{vn}$ を順次的に生成する走査線シフトレジスタ(Yシフトレジスタ)53aを有しており、更に、行駆動タイミングパルス $\phi_{v1} \sim \phi_{vn}$ と液晶交流化信号(フレーム毎に切り換わる信号)FRとに基づいて画素行毎4本宛の走査電極 Y_1, Y_2, Y_3, Y_4 のいずれかを選択するための選択タイミングパルス $\Phi_1 \sim \Phi_4$ を生成する選択タイミング回路53bとから成る。

【0049】アクティブマトリクス回路51は、列方向に延在する信号電極Xと行方向に延在する走査電極Yのマトリクス交点部のそれぞれにおいて、図2(A)に示すアクティブ素子回路55が作り込まれている。このアクティブ素子回路55は、信号電極Xに送り込まれた画素信号Vの奇数フレーム信号V(O)と偶数フレーム信号V(E)とを交互にサンプルホールドするサンプルホールド回路56と、サンプルホールド回路56から奇数フレーム信号V(O)と偶数フレーム信号V(E)とをフレーム切り換えの度に交互に読み出して画素電極14を電圧駆動で画素駆動を行う画素駆動回路57とから成る。

【0050】サンプルホールド回路56は、第1のサンプルホールド回路56aと第2のサンプルホールド回路56bとから成り、第1のサンプルホールド回路56aは、信号電極Xに電氣的に接続するソースSと第1の走査電極 Y_1 に電氣的に接続するゲートGとを持つN型の第1のMOSFET(絶縁ゲート電界効果トランジスタ) T_1 と、そのドレインDに電氣的に接続された第1の保持容量 C_1 とから成る。また第2のサンプルホールド回路56bも同様な構成であって、信号電極Xに電氣的に接続するソースSと第2の走査電極 Y_2 に電氣的に接続するゲートGとを持つN型の第2のMOSFET(T_2)と、そのドレインDに電氣的に接続された第2の保持容量 C_2 とから成る。

【0051】本例の画素駆動回路57は、第1の保持容量 C_1 に電氣的に接続するソースSと第3の走査電極 Y_3 に電氣的に接続するゲートGとを持つN型の第3のMOSFET(T_3)と、第2の保持容量 C_2 に電氣的に接続するソースSと第4の走査電極 Y_4 に電氣的に接続するゲートGとを持つN型の第4のMOSFET(T_4)と、第3のMOSFET(T_3)及び第4のMOSFET(T_4)のドレインDに電氣的に接続するゲートGと画素駆動電源 V_{dd} に電氣的に接続するドレインDと信号電極14に電氣的に接続するソースSとを持つN型の第5のMOSFET(T_5)とから成る。第3のMOSFET(T_3)と第4のMOSFET(T_4)は、第1の保持容量 C_1 から奇数フレーム信号V(O)と第2の保持容量 C_2 から偶数フレーム信号V(E)とをフレーム切り換えの度に交互に読み出す信号読み出し手段を構成しており、第5のMOSFET(T_5)は、読み出された奇数フレーム信号V(O)と偶数フレーム

信号V(E)とに応じて画素電極14に対し画素駆動電圧 V_{dd} を印加する共通画素駆動手段を構成している。なお、本例のアクティブマトリクス液晶表示素子駆動回路50はアナログ駆動及びデジタル駆動に適用できる。

【0052】選択タイミング回路53bの構成は後述するが、選択タイミング回路53bからは図2(B)に示す選択タイミングパルス $\Phi_1 \sim \Phi_4$ が生成される。奇数フレーム期間1Fにおいて第1の書込みタイミングパルス Φ_1 が第1の走査電極 Y_1 上に生成すると、第1のサンプルホールド回路56aの第1のMOSFET(T_1)が開成して信号電極X上の奇数フレーム信号V(O)をサンプリングし、その信号V(O)が第1の保持容量 C_1 に書き込まれる。その直後の偶数フレーム期間2Fにおいて第2の書込みタイミングパルス Φ_2 が第2の走査電極 Y_2 上に生成すると、第2のサンプルホールド回路56bの第2のMOSFET(T_2)が開成して信号電極X上の偶数フレーム信号V(E)をサンプリングし、その信号V(E)が第2の保持容量 C_2 に書き込まれる。奇数フレーム信号V(O)は奇数フレーム期間1Fにおいてすべての画素のアクティブ素子回路55の第1の保持容量 C_1 に点順次で書き込まれ、偶数フレーム信号V(E)は偶数フレーム期間2Fにおいてすべての画素のアクティブ素子回路55の第2の保持容量 C_2 に点順次で書き込まれる。このようはフレーム期間毎の交互書込み動作と同時並行して、奇数フレーム期間1Fに亘って第2の書込みタイミングパルス Φ_4 が第4の走査電極 Y_4 上に発生し続けているため、第4のMOSFET(T_4)の開成により第2の保持容量 C_2 に一時保持されていた偶数フレーム信号V(E)が読み出されるので、その偶数フレーム信号V(E)に応じたオン抵抗で第5のMOSFET(T_5)が導通し、画素電極14に電氣的に接続する液晶セルLCが駆動される。また、偶数フレーム期間2Fに亘って第1の書込みタイミングパルス Φ_3 が第3の走査電極 Y_3 上に発生し続けているため、第3のMOSFET(T_3)の開成により第1の保持容量 C_1 に一時保持されていた奇数フレーム信号V(E)が読み出されるので、その奇数フレーム信号V(O)に応じたオン抵抗で第5のMOSFET(T_5)が導通し、画素電極14に電氣的に接続する液晶セルLCが駆動される。

【0053】本例の書込み方式は点順次方式であるが、その書込み順次はサンプルホールド回路56に留まるに過ぎず、画素駆動順次としては顕在化しない。このため、全画素一斉のフレーム切り換え表示ができ、表示画面の不均一を解消できる。画素数の多少に無関係で、高画質の大画面化又は高精細化を実現できる。後フレームのサンプルホールド動作の間に前フレームの全画素の同時静止表示が実現できるため、表示時間と書込み時間が相反せず、従前に比し表示時間の長期化を実現でき、より一層の高画質化を達成できる。また、書込み期間も長

くできるため、表示データ信号 (Data) の信号転送速度の低速化も可能であり、周辺回路構成の簡素化を実現できる。外付けの表示データ用のフレームメモリを不要化できる。高画素数化も実現できる。

【0054】図2 (B) に示す選択タイミングパルス $\Phi_1 \sim \Phi_4$ を生成するための選択タイミング回路53bは、図1に示す如く、液晶交流化信号FRをフレーム毎に反転するインバータINVと、各画素行において、Yシフトレジスタ53aからの行駆動タイミングパルス ϕ_v ($\phi_{v1} \sim \phi_{vn}$) を一方入力とし液晶交流化信号FRを他方入力とするアンド (AND) ゲートA1及びYシフトレジスタ53aからの行駆動タイミングパルス ϕ_v ($\phi_{v1} \sim \phi_{vn}$) を一方入力としインバータ出力 (FRバー) を他方入力とするアンド (AND) ゲートA2とから成る。アンドゲートA1の出力は第1の走査電極 Y_1 に、アンドゲートA2の出力は第2の走査電極 Y_2 に、インバータ出力 (FRバー) は第3の走査電極 Y_3 に、交流化信号FRは第4の走査電極 Y_4 に、それぞれ供給されている。2つのアンドゲートA1、A2は第1の走査電極 Y_1 と第2の走査電極 Y_2 とをフレーム期間毎に交互に択一する走査電極選択回路に相当している。

【0055】図3に示す如く、奇数フレーム期間1Fにおいて、液晶交流化信号FRが立ち上がると、第2の読み出しタイミングパルス Φ_4 が生成し、各アクティブ素子回路55の第4のMOSFET (T_4) が開成すると共に、第1の読み出しタイミングパルス Φ_3 が消滅して第3のMOSFET (T_3) が閉成する。この奇数フレーム期間1FにおいてはYシフトレジスタ53aから行駆動タイミングパルス $\phi_{v1} \sim \phi_{vn}$ が順次的に生成する。この奇数フレーム期間1Fにおいて画素第1行に発生した行駆動タイミングパルス ϕ_{v1} と液晶交流化信号FRの高レベルとにより画素第1行のアンドゲートA1がオンとなり、第1の書き込みタイミングパルス Φ_1 が生成し、第1のMOSFET (T_1) が開成する。同様に、行駆動タイミングパルス $\phi_{v2} \sim \phi_{vn}$ が水平期間ごと順次生成する度に、その画素行に第1の書き込みタイミングパルス Φ_1 が生成して第1のMOSFET (T_1) が開成する。

【0056】ここで例えば、画素第2行目の第1の書き込みタイミングパルス Φ_1 が生成する水平期間内において、Xシフトレジスタ52bがシフトクロックCLXに同期してスイッチ駆動タイミングパルス $\phi_{h1} \sim \phi_{hn}$ を順次的に発生するため、サンプリング回路52aがシリアル信号の表示データ信号 (Data) を直列列変換して画素信号 $V1 \sim Vm$ を画素列毎の信号電極 $X_1 \sim X_n$ に振り分ける。スイッチ駆動タイミングパルス ϕ_{h1} が発生すると、信号電極 X_1 上の画素信号 $V1$ は、画素第2行の第1列のアクティブ素子回路55の第1のMOSFET (T_1) を介してその第1の保持容量 C_1 に書き込まれる。

次に、スイッチ駆動タイミングパルス ϕ_{h2} が発生すると、信号電極 X_2 上の画素信号 $V2$ は、画素第2行の第2列のアクティブ素子回路55の第1のMOSFET (T_1) を介してその第1の保持容量 C_1 に書き込まれる。最後に、スイッチ駆動タイミングパルス ϕ_{hn} が発生すると、信号電極 X_n 上の画素信号 Vm は、画素第2行の第 m 列のアクティブ素子回路55の第1のMOSFET (T_1) を介してその第1の保持容量 C_1 に書き込まれる。

【0057】このようにしてすべてのアクティブ素子回路55の第1の保持容量 C_1 に奇数フレームの画素信号 $V(O)$ が点順次で書き込まれると、次の偶数フレーム期間2Fにおいては、液晶交流化信号FRが立ち下がり、第1の読み出しタイミングパルス Φ_3 が生成し、各アクティブ素子回路55の第3のMOSFET (T_3) が開成すると共に、第2の書き込みタイミングパルス Φ_4 が消滅して第4のMOSFET (T_4) が閉成する。このため、すべてのアクティブ素子回路55の第1の保持容量 C_1 に奇数フレーム期間1Fで書き込まれた各行の画素信号 $V1 \sim Vm$ が第4のMOSFET (T_4) を介して読み出され、各行の画素信号 $V1 \sim Vm$ に応じて第5のMOSFET (T_5) が閉閉し、画素電極14に電気的に接続する液晶セルLCが一斉に駆動される。

【0058】また図3に示す如く、この偶数フレーム期間2FにおいてもYシフトレジスタ53aから行駆動タイミングパルス $\phi_{v1} \sim \phi_{vn}$ が順次的に生成する。この偶数フレーム期間2Fにおいて画素第1行に発生した行駆動タイミングパルス ϕ_{v1} とインバータ出力 (FRバー) の高レベルとにより画素第1行のアンドゲートA2がオンとなり、第2の書き込みタイミングパルス Φ_2 が生成し、第2のMOSFET (T_2) が開成すると共に、第1のMOSFET (T_1) が閉成する。同様に、行駆動タイミングパルス $\phi_{v2} \sim \phi_{vn}$ が水平期間ごと順次生成するたびに、その画素行に第2の書き込みタイミングパルス Φ_2 が生成して第2のMOSFET (T_2) が開成する。

【0059】ここで例えば、画素第2行目の第2の書き込みタイミングパルス Φ_2 が生成する水平期間において、Xシフトレジスタ52bがシフトクロックCLXに同期してスイッチ駆動タイミングパルス $\phi_{h1} \sim \phi_{hn}$ を順次的に発生するため、サンプリング回路52aがシリアル信号の表示データ信号 (Data) を直列列変換して画素信号 $V1 \sim Vm$ を画素列毎の信号電極 $X_1 \sim X_n$ に振り分ける。各信号電極 $X_1 \sim X_n$ 上の画素信号 $V1 \sim Vm$ は、画素第2行のすべてのアクティブ素子回路55の第2のMOSFET (T_2) が水平期間に亘り開成しているため、前述したように、第2のMOSFET (T_2) を介して第2の保持容量 C_2 に点順次で書き込まれる。この偶数フレームの各行の画素信号 $V1 \sim Vm$ は、次の奇数フレーム期間で一斉に読み出され、全画素が一斉駆

動される。

【0060】〔実施形態2〕図4は本発明の実施形態2に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。なお、図4において実施形態1の構成と同一部分には同一参照符号を付し、その説明は省略する。

【0061】本例の反射型液晶パネル用基板も、図15～図19に示す従来のパネル用基板と同様に、大形サイズの単結晶半導体基板（例えば20mm角）の主面に能動素子や容量素子を作り込み、その上に層間絶縁膜と導電層を交互に積み重ねて成膜し、平面的には主体的な面積を占める画素領域にマトリクス状に配列された多数の矩形の画素電極（反射電極）14を有するものである。

【0062】また、本例のアクティブマトリクス液晶表示素子駆動回路60は、実施形態1と同様なアクティブマトリクス回路51及び信号線駆動回路（Xドライバー）52を有している。走査線駆動回路は実施形態1のものとは多少異なる構成を有している。画素行毎4本宛の走査電極 Y_1 、 Y_2 、 Y_3 、 Y_4 のうち、第3の走査電極 Y_3 上の第1の読み出しタイミングパルス Φ_3 としては液晶交流化信号（フレーム毎に切り換わる信号）FRが、また、第4の走査電極 Y_4 上の第2の読み出しタイミングパルス Φ_4 としては液晶交流化信号FRをインバータINVで反転した出力（FRバー）が、それぞれ利用されている点は、実施形態1と同じである。

【0063】しかし、第1の走査電極 Y_1 に供給する第1の書き込みタイミングパルス Φ_1 と第2の走査電極 Y_2 に供給する第2の書き込みタイミングパルス Φ_2 とを生成するための書き込みタイミング回路の構成が異なっている。この書き込みタイミング回路は、シフトクロックCLYと奇数フレーム開始パルスDY₁に基づき奇数フレーム期間中に第1の書き込みタイミングパルス $\phi_{11} \sim \phi_{1n}$ を各画素行に順次的にそれぞれ第1の走査電極 Y_1 を介して生成する奇数フレーム用Yシフトレジスタ53aaと、シフトクロックCLYと偶数フレーム開始パルスDY₂に基づき偶数フレーム期間中に第2の書き込みタイミングパルス $\phi_{21} \sim \phi_{2n}$ を各画素行に順次的にそれぞれ第2の走査電極 Y_2 を介して順次的に生成する偶数フレーム用Yシフトレジスタ53abとから成る。

【0064】このような奇数フレーム用Yシフトレジスタ53aaと偶数フレーム用Yシフトレジスタ53abを有するアクティブマトリクス液晶表示素子駆動回路60においても、各画素行に対する書き込みタイミングパルス Φ_1 、 Φ_2 の生成は実施形態1のそれと変わらないので、実施形態1と同様な作用効果を得ることができる。これに加え、フィールド毎でY側のシフトスピードが変えられるので、インターレース信号の補間処理等に対して便利である。

【0065】〔実施形態3〕図5は本発明の実施形態3

に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図、図6はそのタイミング回路の動作を説明するタイミングチャートである。なお、図5において実施形態1の構成と同一部分には同一参照符号を付し、その説明は省略する。

【0066】本例の反射型液晶パネル用基板も、図15～図19に示す従来のパネル用基板と同様に、大形サイズの単結晶半導体基板（例えば20mm角）の主面に能動素子や容量素子を作り込み、その上に層間絶縁膜と導電層を交互に積み重ねて成膜し、平面的には主体的な面積を占める画素領域にマトリクス状に配列された多数の矩形の画素電極（反射電極）14を有するものである。

【0067】本例のアクティブマトリクス液晶表示素子駆動回路65は、実施形態1と同様なアクティブマトリクス回路51、信号線駆動回路（Xドライバー）52及びYシフトレジスタ53aを有している。本例においては、カラーシーケンシャル表示方式（フィールド色順次方式）が採用されているため、1フルフレーム期間にR、G、Bのサブフレーム期間が順に含まれている。従って、走査線駆動回路は実施形態1のものとは多少異なる構成を採用している。

【0068】実施形態1の読み出しタイミング回路としては、フレーム（フルフレーム）毎に交番する液晶交流化信号FRを反転するためのインバータINVとしてあるが、本例では、特に、間空き読み出しタイミング回路53abを設けてある。この間空き読み出しタイミング回路53abは、ブランキング期間設定クロックBCKをクロック入力CKとすると共にサブフレーム毎に切り換わる液晶交流化信号FR'をデータ入力DとするD型フリップフロップ（FF）と、その液晶交流化信号FR'とD型フリップフロップ（FF）の出力Qを入力とするアンド（AND）ゲートA3及びノア（NOR）ゲートN1とから成る。

【0069】表示データ信号（Data）はRサブフレーム、Gサブフレーム及びBサブフレームの順でシリアル転送されるため、アクティブ素子回路55では、図6に示す如く、Rサブフレームの読み出し駆動期間にGサブフレームの書き込み動作が実行され、次のGサブフレームの読み出し駆動期間にBサブフレームの書き込み動作が実行され、そして次のBサブフレームの読み出し駆動期間にRサブフレームの書き込み動作が実行される。

【0070】ブランキング期間設定クロックBCKとサブフレーム毎に交番する液晶交流化信号FR'がD型フリップフロップ（FF）に入力されているため、液晶交流化信号FR'が立ち上がると、D型フリップフロップ（FF）の出力Qは液晶交流化信号FR'の立ち上がり時点からブランキング期間T_dだけ遅延した時点で立ち上がるので、ノア（NOR）ゲートN1の出力RE2は液晶交流化信号FR'の立ち上がり同期して立ち下が

り、アンドゲートA3の出力RE1は出力Qの立ち上がりに同期して立ち上がる。出力RE1は第1の読み出しタイミングパルス Φ_3' として第3の走査電極 Y_3 を介して第3のMOSFET (T_3) のゲートに供給され、出力RE2は第2の読み出しタイミングパルス Φ_4' として第4の走査電極 Y_4 を介して第4のMOSFET (T_4) のゲートに供給されているため、第4のMOSFET (T_4) が閉成する時点からブランキング期間 T_b だけ空けて第3のMOSFET (T_3) が閉成する。従って、フレーム間切り換え時に第4のMOSFET (T_4) と第3のMOSFET (T_3) とが同時に閉成するため、B信号とR信号の混成が起こらず、また色相光源切り換え時の加色混合を拾わない。

【0071】液晶交流化信号FR' が立ち下がる、D型フリップフロップ (FF) の出力Qは液晶交流化信号FR' の立ち下がり時点からブランキング期間 T_b だけ遅延した時点で立ち下がるので、アンドゲートA3の出力RE1は液晶交流化信号FR' の立ち下がりに同期して立ち下がり、ノアゲートN1の出力RE2は出力Qの立ち下がりに同期して立ち上がる。このため、第3のMOSFET (T_3) が閉成する時点からブランキング期間 T_b だけ空けて第4のMOSFET (T_4) が閉成する。従って、サブフレーム切り換え時に第4のMOSFET (T_4) と第3のMOSFET (T_3) とが同時閉成するため、R信号とG信号の混成が起こらず、また色相光源切り換え時の加色混合を拾わない。同様に、G信号とB信号の混成が起こらず、また色相光源切り換え時の加色混合を拾わない。

【0072】このように、ブランキング期間 T_b を空けて第4のMOSFET (T_4) と第3のMOSFET (T_3) とが排他的に開閉するため、両者が貫通することがなく、保持信号同士の混成が発生しないばかりか、色相光源切り換え時の加色混合を拾わないため、高画質のカラー表示ができる。勿論、この間空き読み出しタイミング回路53abはフィールド色順次方式以外に採用しても良い。フレーム切り換え時に第4のMOSFET (T_4) と第3のMOSFET (T_3) との同時開成を確実に無くし、フレーム切り換え時の保持信号同士の混成を防止できる。

【0073】なお、本例もまた、実施形態1と同様の作用効果を奏するものである。

【0074】〔実施形態4〕図7は本発明の実施形態4に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図、図8(A)はそのアクティブ素子回路を示す回路図、図8(B)はそのアクティブ素子回路の動作を説明するためのタイミングチャートである。なお、図7において実施形態1の構成と同一部分には同一参照符号を付し、その説明は省略する。

【0075】本例の反射型液晶パネル用基板も、図15

～図19に示す従来のパネル用基板と同様に、大形サイズの単結晶半導体基板 (例えば20mm角) の主面に能動素子や容量素子を作り込み、その上に層間絶縁膜と導電層を交互に積み重ねて成膜し、平面的には主体的な面積を占める画素領域にマトリクス状に配列された多数の矩形の画素電極 (反射電極) 14を有するものである。

【0076】また、本例のアクティブマトリクス液晶表示素子駆動回路70は、実施形態1と同様な信号線駆動回路 (Xドライバー) 52及び走査線駆動回路53を有しているが、アクティブ素子回路72が実施形態1のアクティブ素子回路55と異なっている。

【0077】即ち、アクティブマトリクス回路71の各アクティブ素子回路72は、図8(A)に示す如く、信号電極Xに送り込まれた画素信号Vの奇数フレーム信号V(O)と偶数フレーム信号V(E)とを交互にサンプルホールドするサンプリングホールド回路56と、サンプルホールド回路56から奇数フレーム信号V(O)と偶数フレーム信号V(E)とをフレーム切り換えの度に交互に読み出して画素電極14を電圧駆動して画素駆動を行う画素駆動回路73とから成る。

【0078】サンプルホールド回路56は、第1のサンプルホールド回路56aと第2のサンプルホールド回路56bとから成り、第1のサンプルホールド回路56aは、信号電極Xに電氣的に接続するソースSと第1の走査電極 Y_1 に電氣的に接続するゲートGとを持つN型の第1のMOSFET (T_1) と、そのドレインDに電氣的に接続された第1の保持容量 C_1 とから成る。また第2のサンプルホールド回路56bも同様な構成であって、信号電極Xに電氣的に接続するソースSと第2の走査電極 Y_2 に電氣的に接続するゲートGとを持つN型の第2のMOSFET (T_1) と、そのドレインDに電氣的に接続された第2の保持容量 C_2 とから成る。

【0079】特に、本例の画素駆動回路73は、第1の保持容量 C_1 に電氣的に接続するソースSと第3の走査電極 Y_3 に電氣的に接続するゲートGと信号電極14に電氣的に接続するドレインDとを持つN型の第3のMOSFET (T_3)、及び第2の保持容量 C_2 に電氣的に接続するソースSと第4の走査電極 Y_4 に電氣的に接続するゲートGと信号電極14に電氣的に接続するドレインDとを持つN型の第4のMOSFET (T_4) から成る。実施形態1の画素駆動回路57はN型の第5のMOSFET (T_5) を具備しているが、本例の画素駆動回路73はそれを持たない。アナログ駆動用に適している。

【0080】このようなアクティブ素子回路72においても、図8(B)に示す如く、奇数フレーム期間1Fで第1の保持容量 C_1 に保持された奇数フレーム信号V(O)は、偶数フレーム期間2Fで第3のMOSFET (T_3) により読み出されて画素電極14に印加し、偶数フレーム期間2Fで第2の保持容量 C_2 に保持された

偶数フレーム信号 $V(E)$ は、奇数フレーム期間1Fで第4のMOSFET(T_4)により読み出されて画素電極14に印加する。本例では、第3のMOSFET(T_3)が偶数フレームの画素駆動手段として、第4のMOSFET(T_4)が奇数フレームの画素駆動手段としてそれぞれ交互に役割を果たす。第5のMOSFET(T_5)を具備していないため、アクティブ素子経路71の能動素子数や画素駆動電源 V_{dd} の配線を削減でき、素子作り込みの余裕スペースを確保でき、高密度画素を実現できる。

【0081】なお、本例もまた、実施形態1と同様の作用効果を奏するものである。

【0082】〔実施形態5〕図9は本発明の実施形態5に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。なお、図9において実施形態2及び実施形態4の構成と同一部分には同一参照符号を付し、その説明は省略する。

【0083】本例の反射型液晶パネル用基板も、図15～図19に示す従来のパネル用基板と同様に、大形サイズの単結晶半導体基板(例えば20mm角)の主面に能動素子や容量素子を作り込み、その上に層間絶縁膜と導電層を交互に積み重ねて成膜し、平面的には主体的な面積を占める画素領域にマトリクス状に配列された多数の矩形の画素電極(反射電極)14を有するものである。

【0084】本例のアクティブマトリクス液晶表示素子駆動回路75は、図4に示す実施形態2と同様に、信号線駆動回路(Xドライバー)52、奇数フレーム用Yシフトレジスタ53aa、偶数フレーム用Yシフトレジスタ53ab及びインバータINVを備えており、また図7及び図8に示す実施形態4と同様に、アクティブ素子回路72を持つアクティブマトリクス回路71を備えている。従って、本例は、実施形態2及び実施形態4と同様の作用効果を奏するものである。

【0085】〔実施形態6〕図10は本発明の実施形態6に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図、図11(A)はそのアクティブ素子回路を示す回路図、図11(B)はそのアクティブ素子回路の動作を説明するためのタイミングチャートである。なお、図10において実施形態1の構成と同一部分には同一参照符号を付し、その説明は省略する。

【0086】本例の反射型液晶パネル用基板も、図15～図19に示す従来のパネル用基板と同様に、大形サイズの単結晶半導体基板(例えば20mm角)の主面に能動素子や容量素子を作り込み、その上に層間絶縁膜と導電層を交互に積み重ねて成膜し、平面的には主体的な面積を占める画素領域にマトリクス状に配列された多数の矩形の画素電極(反射電極)14を有するものである。

【0087】本例のアクティブマトリクス液晶表示素子

駆動回路80は、図1に示す実施形態1と同様に、信号線駆動回路(Xドライバー)52、Yシフトレジスタ53aを備えており、アクティブマトリクス回路81のアクティブ素子回路82の構成が実施形態1のアクティブ素子回路55とは異なる。本例のアクティブ素子回路82は、図11(A)に示す如く、信号電極Xに送り込まれた画素信号Vの奇数フレーム信号V(O)と偶数フレーム信号V(E)とを交互にサンプリングホールドするサンプルホールド回路83と、サンプルホールド回路83から奇数フレーム信号V(O)と偶数フレーム信号V(E)とをフレーム毎交互に読み出して画素電極14を電圧駆動して画素駆動を行う画素駆動回路84とから成る。

【0088】サンプルホールド回路83は、第1のサンプルホールド回路83aと第2のサンプルホールド回路83bとから成り、第1のサンプルホールド回路83aは、信号電極Xに電氣的に接続するソースSと第1の走査電極 Y_1 に電氣的に接続するゲートGとを持つN型の第1のMOSFET(Q_1)と、そのドレインDに電氣的に接続された第1の保持容量 C_1 とから成る。また第2のサンプルホールド回路83bも同様な構成であって、信号電極Xに電氣的に接続するソースSと第2の走査電極 Y_2 に電氣的に接続するゲートGとを持つP型の第2のMOSFET(Q_2)と、そのドレインDに電氣的に接続された第2の保持容量 C_2 とから成る。第1のMOSFET(Q_1)と第2のMOSFET(Q_2)とは逆導電型となっており、所謂CMOSを構成している。このため、第1のMOSFET(Q_1)のための第1の書込みタイミングパルス Φ_1 は立ち上がりパルスを、第2のMOSFET(Q_2)のための第2の書込みタイミングパルス Φ_2 は立ち下がりパルスを必要としているため、本例の書込みタイミング回路53b'は図1の選択タイミング回路53bの第2の走査電極 Y_2 用のアンドゲートA2をナンドゲートN2に代えたものである。

【0089】他方、画素駆動回路84は、第1の保持容量 C_1 に電氣的に接続するソースSと第3の走査電極 Y_3 に電氣的に接続するゲートGとを持つP型の第3のMOSFET(Q_3)と、第2の保持容量 C_2 に電氣的に接続するソースSと第3の走査電極 Y_3 に電氣的に接続するゲートGとを持つN型の第4のMOSFET(Q_4)と、第3のMOSFET(Q_3)及び第4のMOSFET(Q_4)のドレインDに電氣的に接続するゲートGと画素駆動電源 V_{dd} に電氣的に接続するドレインDと信号電極14に電氣的に接続するソースSとを持つN型の第5のMOSFET(Q_5)とから成る。第3のMOSFET(Q_3)及び第4のMOSFET(Q_4)とは逆導電型となっており、所謂CMOSを構成している。第3のMOSFET(Q_3)と第4のMOSFET(Q_4)とは同極性ゲート電圧では排他的に開閉するた

め、両ゲートGには唯一の第3の走査電極 Y_3 を介して共通の読み出しタイミングパルス Φ_3 が供給されている。従って、画素行宛の走査電極の本数を1本削減できる。

【0090】実施形態1～5において、反射型液晶パネル用基板に対向させて組み立てる透明基板側の対向電極（共通電極）LC.COMは固定電位となっているのに対し、本例では、フレーム毎に切り換わる比較的高い電圧が印加されるようになっている。

【0091】このため、図11(B)に示す如く、奇数フレーム期間1Fでは対向電極LC.COMの電位が正極性であるため、第4のMOSFET(Q_4)が開成して保持信号が読み出され第5のMOSFET(Q_5)が開成する場合、電源電位 V_{dd} が低圧でも、相対的に負極側の信号電極電位（電源電位 V_{dd} ）と正極側の対向電極LC.COMの電位との電位差は相当大きい。また、偶数フレーム期間2Fでは対向電極LC.COMの電位が負極性になるため、第3のMOSFET(Q_3)が開成して保持信号が読み出され第5のMOSFET(Q_5)が開成する場合、相対的に正極側の信号電極電位と負極側の対向電極LC.COMの電位との電位差も相当大きい。

【0092】このように、対向電極（共通電極）LC.COMの電位をフレーム毎に交番する所謂コモン振りを行うことにより、液晶セルLCの劣化を防止できることは勿論のこと、画素電極14に印加される信号のダイナミックレンジを相対的に小さくできるので、アクティブ素子回路82のMOSFETを低耐圧素子として形成可能となる。これにより、素子微細化により占有面積の縮小化を実現でき、開口率の増大により高密度な高精細表示装置を実現できる。

【0093】なお、本例もまた、実施形態1と同様の作用効果を奏するものである。

【0094】〔実施形態7〕図12は本発明の実施形態7に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。なお、図12において実施形態2及び実施形態6の構成と同一部分には同一参照符号を付し、その説明は省略する。

【0095】本例の反射型液晶パネル用基板も、図15～図19に示す従来のパネル用基板と同様に、大形サイズの単結晶半導体基板（例えば20mm角）の主面に能動素子や容量素子を作り込み、その上に層間絶縁膜と導電層を交互に積み重ねて成膜し、平面的には主体的な面積を占める画素領域にマトリクス状に配列された多数の矩形の画素電極（反射電極）14を有するものである。

【0096】本例のアクティブマトリクス液晶表示素子駆動回路85は、図4に示す実施形態2と同様に、信号線駆動回路（Xドライバー）52、奇数フレーム用Yシフトレジスタ53aa、偶数フレーム用Yシフトレジスタ53ab及びインバータINVを備えており、また図

10及び図11に示す実施形態6と同様に、アクティブ素子回路82を持つアクティブマトリクス回路81を備えている。従って、本例は、実施形態2及び実施形態6と同様の作用効果を奏するものである。

【0097】〔実施形態8〕図13は本発明の実施形態8に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路におけるアクティブ素子回路を示す回路図である。なお、図13において図11に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0098】本例では、アクティブマトリクス液晶表示素子駆動回路の全体を示す構成を省略するが、図10に示す実施形態6や図12に示す実施形態7のいずれの構成を採用しても良い。

【0099】アクティブ素子経路92の画素駆動回路93は、図11(A)に示すアクティブ素子回路82の画素駆動回路84において第5のMOSFET(Q_5)を削除した構成を有している。第3のMOSFET(Q_3)だけで第1の画素駆動回路を構成し、第4のMOSFET(Q_4)だけで第2の画素駆動回路を構成している。アナログ駆動用に適している。能動素子数を削減でき、また画素駆動電源 V_{dd} のための配線も削減できるため、素子作り込みの余裕スペースを確保でき、高密度画素を実現できる。

【0100】また、本例においても対向電極（共通電極）LC.COMの電位は所謂コモン振りとなっている。実施形態6と同様の作用効果を奏する。またその他、実施形態1と同様の作用効果を奏するは言う迄もない。

【0101】なお、上記の実施形態の液晶パネル基板は反射型液晶パネルに用いるに好適であるが、その反射型液晶パネルは前述した液晶プロジェクタのライトバルブは勿論のこと、腕時計型電子機器、ワードプロセッサ、パーソナルコンピュータ等の携帯型情報処理機、携帯電話機の表示部やその他各種の電子機器の表示部に適用することができる。

【0102】また、上記実施形態の液晶パネル基板は半導体基板の主面にスイッチング素子を作り込んだものであるが、半導体基板に限らず、基板としてはガラス基板や石英基板等の絶縁性基板を用いることができる。スイッチング素子として絶縁性基板上に薄膜トランジスタ(TFT)などを形成する場合でも、本発明を適用できることは言う迄もない。

【0103】更に、本発明は液晶パネル基板に限らず、他のフラットディスプレイ用基板に適用できるものである。

【0104】

【発明の効果】以上説明したように、本発明に係る電気光学装置用基板は、信号電極からの信号を一時記憶するタイミングと同時にその信号を基に画素駆動を開始するのではなく、先行信号による画素駆動する期間中におい

て同一画素の遅延信号を一時記憶して次の期間中での画素駆動のためのスタンバイを行う画素駆動遅延型アクティブ素子回路を画素毎にそれぞれ対応して作り込んで成ることを特徴とするため、次のような効果を奏する。

【0105】(1) 点順次方式又は線順次方式に拘らず、書込み順次が同時に画素駆動順次となるのではなく、一時記憶順次に留まるに過ぎないため、書込み順次は画素駆動順次として顕在化せず、全画素一斉の切り換え表示ができるので、表示画面の不均一を解消でき、高画質の電気光学装置用基板を提供できる。このため、画素数の多少に無関係で、高画質の大画面化又は高精細化を実現できる。

【0106】この画素駆動遅延型アクティブ素子回路は遅延信号の一時記憶中に先行信号による画素駆動を実行するものであるから、一定期間（例えば1フレーム期間）に亘り全画素の同時駆動（同時静止表示）も実現でき、表示時間と書込み時間が相反せず、従前に比し表示時間を長くできるので、より一層の高画質化を達成できる。また、画素駆動遅延型アクティブ素子回路は先行信号による画素駆動期間中に遅延信号の一時記憶を実行するものであるから、一定期間に亘り全画素の一時記憶も実現でき、書込み期間を長くできる。信号転送速度の低速化による周辺回路構成の簡素化や高画素数化を実現できる。電気光学装置用基板に外付けする表示データ用のフレームメモリを不要化できる。

【0107】(2) 画素駆動遅延型アクティブ素子回路としては、信号電極からの信号を取り込む一時記憶動作を時間分割で排他的ないし順次的に実行する複数のサンプルホールド手段と、各サンプルホールド手段からの一時保持信号を読み出して画素駆動動作を時間分割で排他的ないし順次的に実行する画素駆動手段とで構成できる。一般的には、サンプルホールド手段として第1と第2のサンプルホールド手段のみで構成すれば充分であるが、N個のサンプルホールド手段を有する場合、例えば、遅延信号の書込み期間を先行信号の画素駆動期間の(N-1)倍とすることもできるため、信号転送速度の低速化による周辺回路構成の簡素化や高画素数化が顕著となる。

【0108】(3) 第1のサンプルホールド手段は第1の信号保持手段と第1の信号書込み手段とで構成でき、また第2のサンプルホールド手段は第2の信号保持手段と第2の信号書込み手段とで構成できるが、第1の信号書込み手段と第2の信号書込み手段とを同導電型のトランジスタとした場合、素子の特性差を抑制でき、アナログ駆動の場合に利点がある。

【0109】(4) 書込みタイミング手段としてフレーム毎に切り換わるタイミング信号を利用する場合は、周辺回路の構成の簡略化に資する。

【0110】(5) 画素駆動手段は、第1の信号読み出し手段と第2の信号読み出し手段と共通画素駆動手段

とで構成できるが、第1の信号読み出し手段と第2の信号読み出し手段を同導電型のトランジスタとした場合、素子の特性差を抑制でき、アナログ駆動の場合に利点がある。

【0111】(6) また、第1の信号読み出し手段と第2の信号読み出し手段を逆導電型のトランジスタとした場合、互いに逆論理の開閉制御信号で開閉動作することから、制御線は共通の1本の走査電極で済む。

【0112】(7) 画素駆動手段は、第1の画素駆動手段と第2の画素駆動手段とで構成した場合、共通画素駆動手段を含まない分、アクティブ素子回路内の能動素子数や画素駆動電源配線を削減できる。

【0113】(8) 読み出しタイミング手段としてフレーム毎に切り換わるタイミング信号を利用する場合は、周辺回路の構成の簡略化に資する。

【0114】(9) 読み出しタイミング手段が第1の読み出しタイミング信号と第2の読み出しタイミング信号との間にブランキング期間を間挿する間空き読み出しタイミング手段である場合、ブランキング期間により第1の画素駆動手段と第2の画素駆動手段とが同時に閉成するため、先行信号と遅延信号との混成表示が発生しない。特に、カラーシーケンシャル方式を採用する場合は、色相光源切り換え時の加色混合を拾わないため、高画質のカラー表示ができる。

【0115】(10) 第1の画素駆動手段と第2の画素駆動手段とが逆導電型のトランジスタである場合、互いに逆論理で排他的に開閉するため、間空き読み出しタイミング手段を設けずに済み、周辺回路の構成の簡素化に資する。

【0116】(11) 信号電極上の信号がアナログ信号である場合、画素のアナログ駆動を実現でき、また、信号電極上の信号がパルス幅変調信号である場合、画素のデジタル駆動を実現できる。

【0117】(12) 上記の電気光学装置用基板とこれに対向する透明基板とを用い、その間隙に電気光学材料を挟むことにより電気光学装置が組立られるが、透明基板の対向電極にフレーム期間毎に切り換わる共通電圧を印加するようにした場合、電気光学材料を交流駆動できる。電気光学材料の劣化を防止できることは勿論のこと、対極の画素電極に印加される信号のダイナミックレンジを相対的に小さくできるので、アクティブ素子回路の能動素子を低耐圧素子として形成可能となり、素子微細化により占有面積の縮小化を実現でき、開口率の増大により高密度な高精細表示装置を実現できる。

【0118】(13) 上記電気光学装置は各種電子機器の表示部に用いると、高画質の表示を得ることができ、投写型表示装置のライトバルブに好適である。

【図面の簡単な説明】

【図1】本発明の実施形態1に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス

液晶表示素子駆動回路を示す回路図である。

【図2】(A)は実施形態1におけるアクティブ素子回路を示す回路図、(B)はそのアクティブ素子回路の動作を説明するためのタイミングチャートである。

【図3】実施形態1のアクティブマトリクス液晶表示素子駆動回路の動作を説明するためのタイミングチャートである。

【図4】本発明の実施形態2に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。

【図5】本発明の実施形態3に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。

【図6】実施形態3におけるタイミング回路の動作を説明するタイミングチャートである。

【図7】本発明の実施形態4に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。

【図8】(A)は実施形態4におけるアクティブ素子回路を示す回路図、(B)はそのアクティブ素子回路の動作を説明するためのタイミングチャートである。

【図9】本発明の実施形態5に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。

【図10】本発明の実施形態6に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。

【図11】(A)は実施形態6におけるアクティブ素子回路を示す回路図、(B)はそのアクティブ素子回路の動作を説明するためのタイミングチャートである。

【図12】本発明の実施形態7に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路を示す回路図である。

【図13】本発明の実施形態8に係る反射型液晶パネルのためのパネル用基板に作り込んだアクティブマトリクス液晶表示素子駆動回路におけるアクティブ素子回路を示す回路図である。

【図14】反射型液晶パネルをライトバルブとして用いた投写型表示装置の一例としてビデオプロジェクトを示す概略構成図である。

【図15】反射型液晶パネルを示す断面図である。

【図16】反射型液晶パネルに用いる従来の反射型液晶パネル用基板のアクティブマトリクス液晶表示素子駆動回路を示す回路図である。

【図17】図16の反射型液晶パネル用基板を示す平面図である。

【図18】図16の反射型液晶パネル用基板の画素領域を示す部分平面図である。

【図19】図18中のA-A'線に沿って切断した状態を示す切断図である。

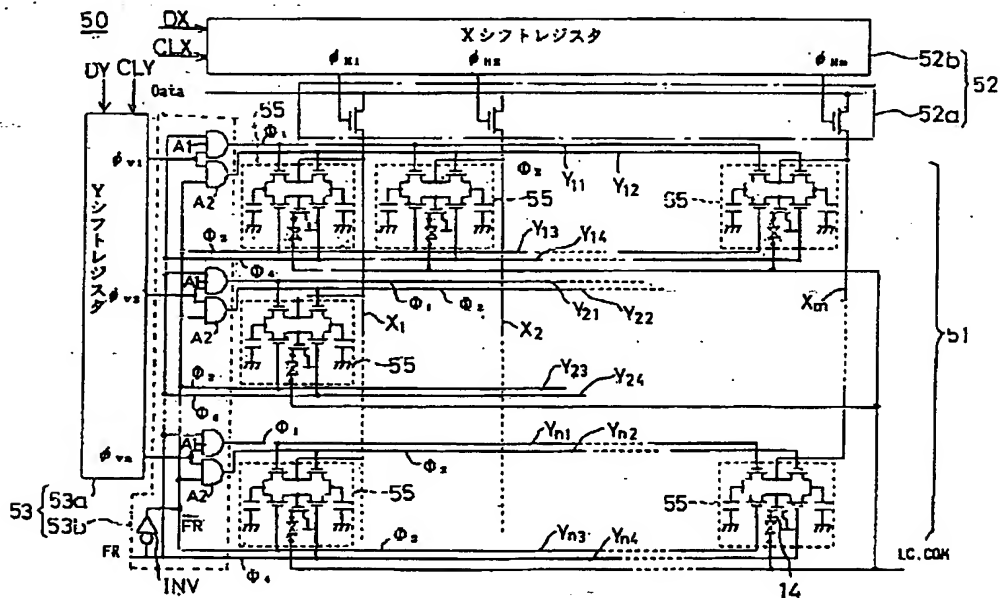
【符号の説明】

- 1…P型半導体基板
- 2…P型ウェル領域
- 3…フィールド酸化膜
- 4…ゲート線
- 4a…ゲート電極
- 4b…ゲート絶縁膜
- 5b…N⁺型ドレイン領域
- 6…第1の層間絶縁膜
- 6a, 6b, 6c…コンタクトホール
- 7…データ線
- 7a…ソース電極配線
- 8…P型容量電極領域
- 9a…容量電極
- 9b…絶縁膜(誘電膜)
- 10…中継配線
- 11…第2の層間絶縁膜
- 12…遮光膜
- 12a…プラグ貫通用開口部
- 12b…接続用配線
- 13…第3の層間絶縁膜
- 14…画素電極
- 15…接続プラグ(層間導電部)
- 17…バッシベーション膜
- 20…画素領域(表示領域)
- 21…データ線駆動回路(Xドライバー)
- 22R, 22L…走査線駆動回路(Yドライバー)
- 23…プリチャージ及びテスト回路
- 24…画像信号サンプリング回路
- 25…遮光膜
- 26…入力端子パッド
- 27…シール領域
- 29R, 29L…中継端子パッド(銀点)
- 30…反射型液晶パネル
- 31…反射型液晶パネル用基板
- 32…支持基板
- 33…対向電極(共通電極)
- 35…ガラス基板
- 37…液晶
- 38…異方性導電膜(ACF)
- 39…フレキシブルテープ配線
- 50, 60, 65, 70, 75, 80, 85…アクティブマトリクス液晶表示素子駆動回路
- 51, 71, 81…アクティブマトリクス回路
- 52…信号線駆動回路(Xドライバー)
- 52a…画素信号サンプリング回路
- 52b…信号線シフトレジスタ(Xシフトレジスタ)
- 53…走査線駆動回路(Yドライバー)
- 53a…走査線シフトレジスタ(Yシフトレジスタ)
- 53b…選択タイミング回路

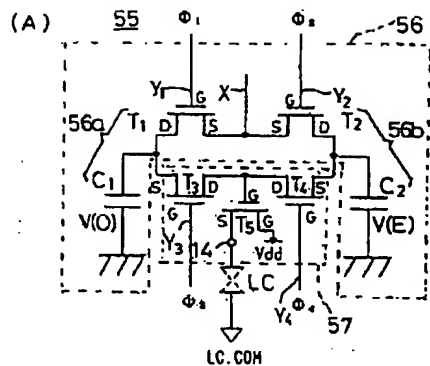
53b' ...書込みタイミング回路
 53ba ...間空き読み出しタイミング回路
 53aa ...奇数フレーム用Yシフトレジスタ
 53ab ...偶数フレーム用Yシフトレジスタ
 55, 72, 82, 92 ...アクティブ素子回路
 56, 83, 93 ...サンプルホールド回路
 56a, 83a ...第1のサンプルホールド回路
 56b, 83b ...第2のサンプルホールド回路
 57, 73, 84, 94 ...画素駆動回路
 100 ...偏光照明装置
 110 ...光源部
 120 ...インテグレートレンズ
 130 ...偏光変換素子
 200 ...偏光ビームスプリッタ
 201 ...S偏光束反射面
 412, 413 ...ダイクロイックミラー
 300B, 300R, 300G ...反射型液晶ライトバルブ
 500 ...投写光学系
 600 ...スクリーン
 A1, A2, A3 ...アンドゲート
 N1 ...ノアゲート
 N2 ...ナンドゲート
 INV ...インバータ
 FF ...D型フリップフロップ
 L₀ ...システム光軸
 LC ...液晶セル

T₁, Q₁ ...第1のMOSFET
 T₂, Q₂ ...第2のMOSFET
 T₃, Q₃ ...第3のMOSFET
 T₄, Q₄ ...第4のMOSFET
 T₅, Q₅ ...第5のMOSFET
 X, X₁ ~ X_m ...信号電極
 Y ...走査電極
 Y₁, Y₁₁ ~ Y_{n1} ...第1の走査電極
 Y₂, Y₁₂ ~ Y_{n2} ...第2の走査電極
 Y₃, Y₁₃ ~ Y_{n3} ...第3の走査電極
 Y₄, Y₁₄ ~ Y_{n4} ...第4の走査電極
 φ_{H1} ~ φ_{Hm} ...スイッチ駆動タイミングパルス
 φ_{V1} ~ φ_{Vn} ...行駆動タイミングパルス
 Φ₁, Φ₁' ...第1の書込みタイミングパルス
 Φ₂, Φ₂' ...第2の書込みタイミングパルス
 Φ₃, Φ₃' ...第1の読み出しタイミングパルス
 Φ₄, Φ₄' ...第2の読み出しタイミングパルス
 FR, FR' ...液晶交流化信号
 CLX, CLY, CLY₁, CLY₂ ...シフトクロック
 DX ...ラッチパルス
 DY ...フレーム開始パルス
 LC.COM ...対向電極
 BCK ...ブランキング期間設定クロック
 V_{dd} ...画素励起電源。
 V(O) ...奇数フレーム信号
 V(E) ...偶数フレーム信号
 T_b ...ブランキング期間。

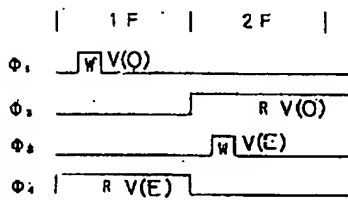
【図1】



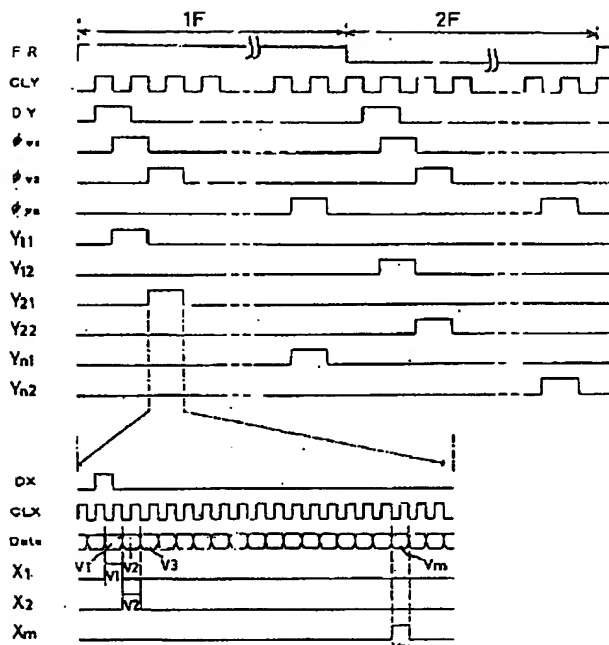
【図2】



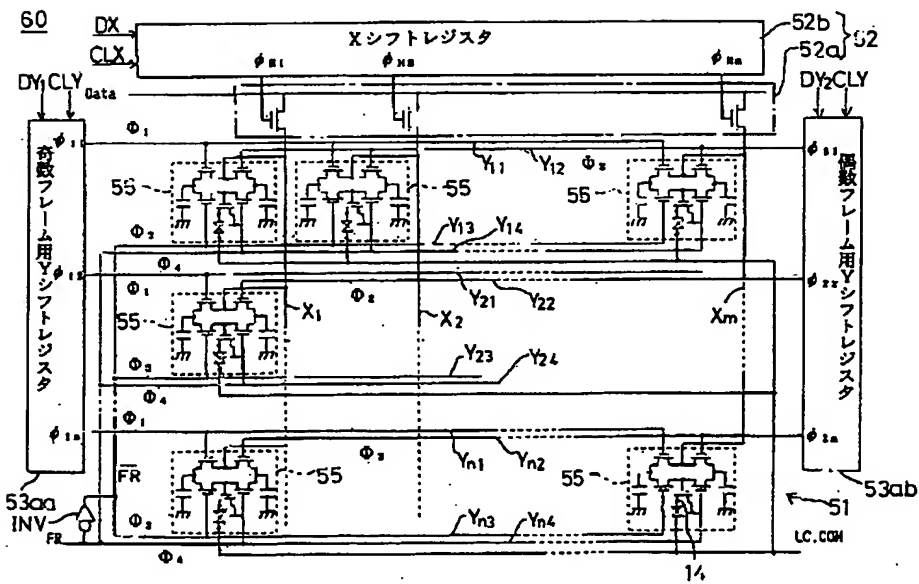
(B.)



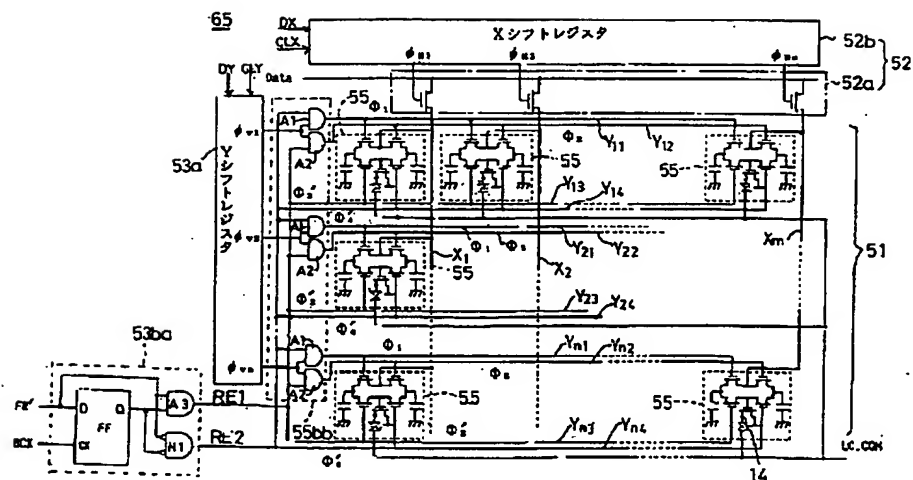
【図3】



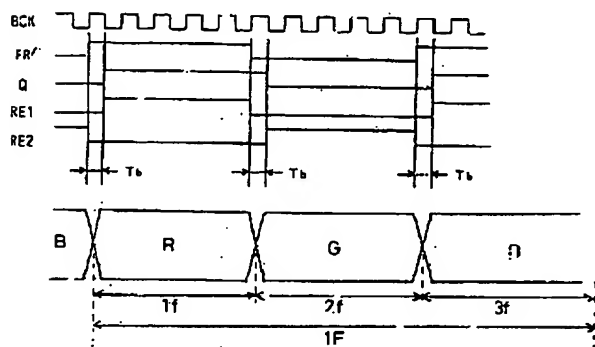
【図4】



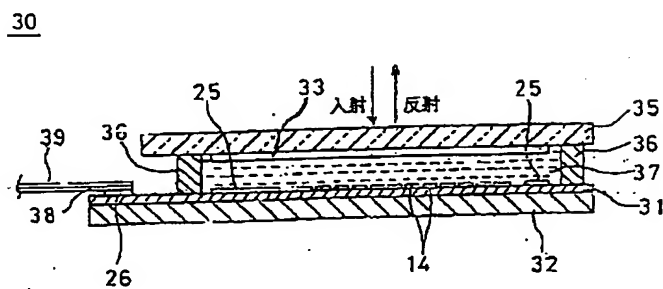
【図5】



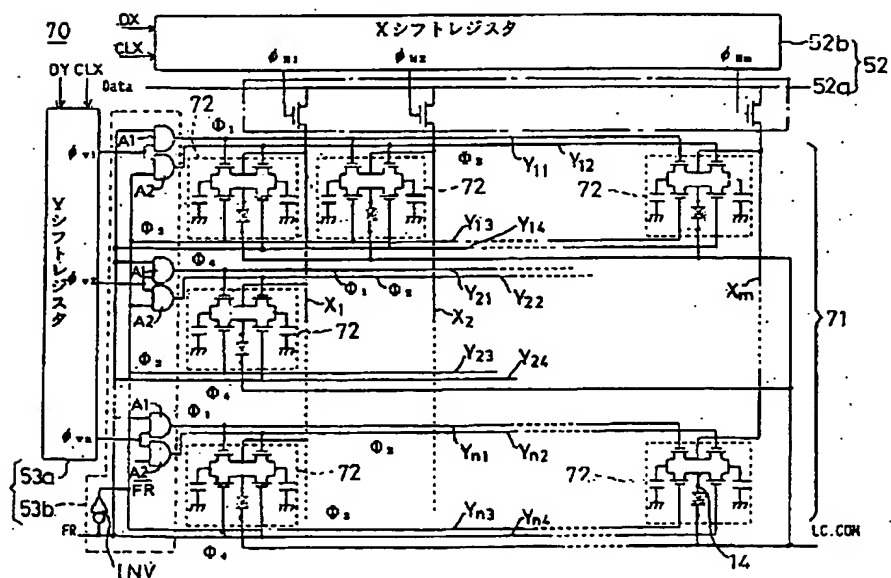
【図6】



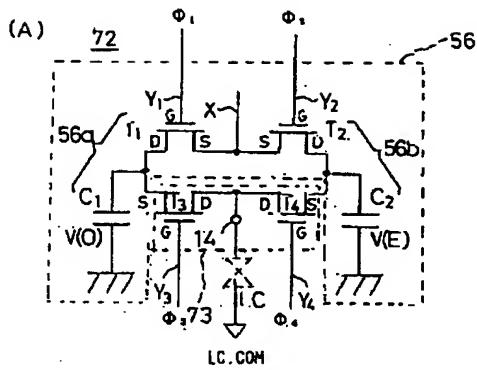
【图 15】



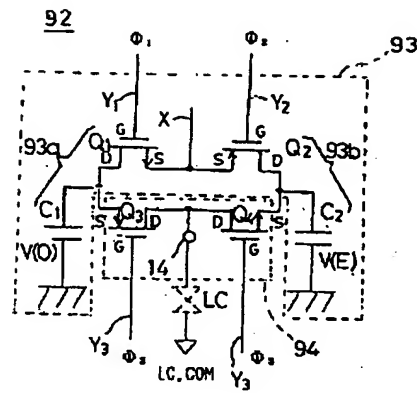
【図7】



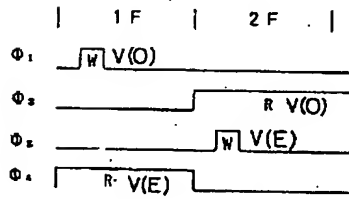
【図8】



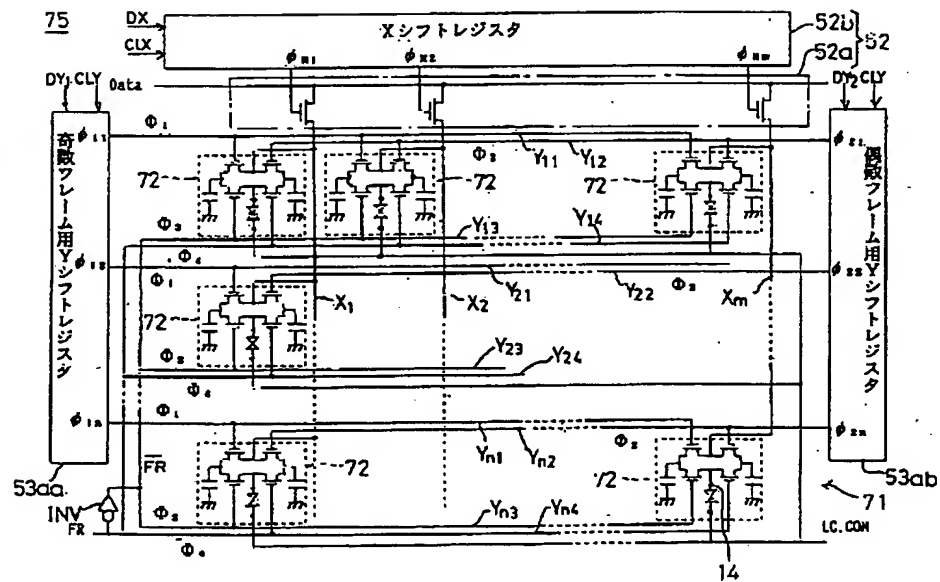
【图 13】



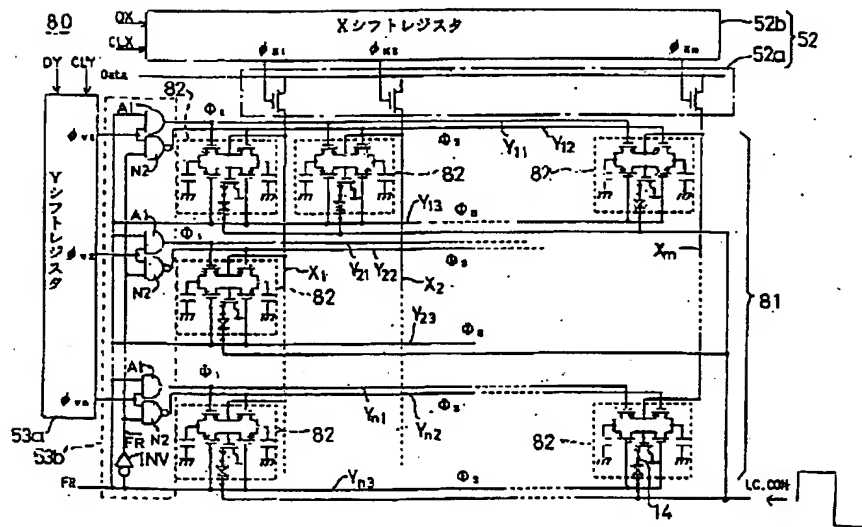
(B)



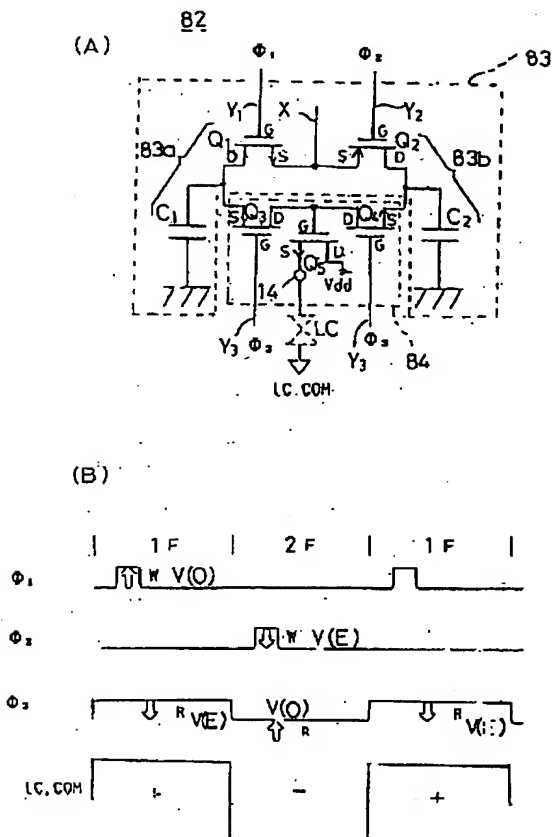
【図9】



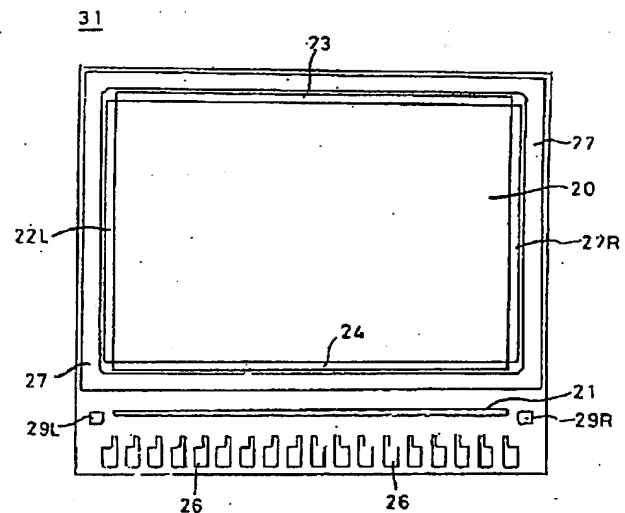
【図10】



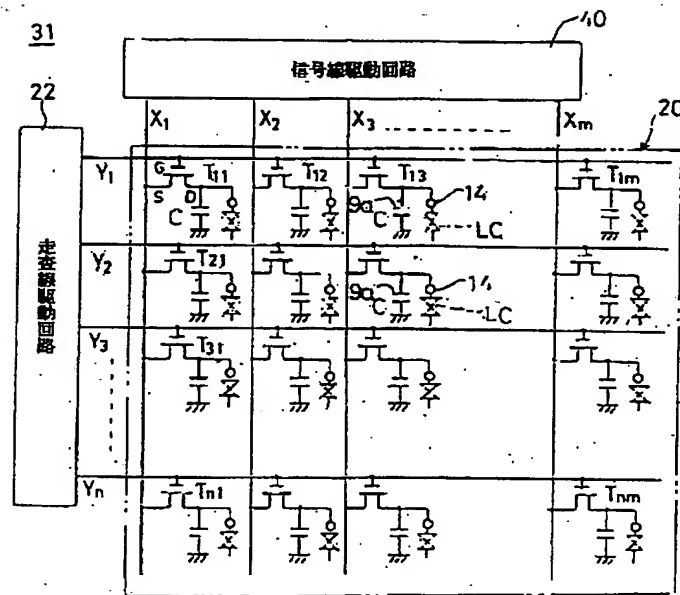
【図11】



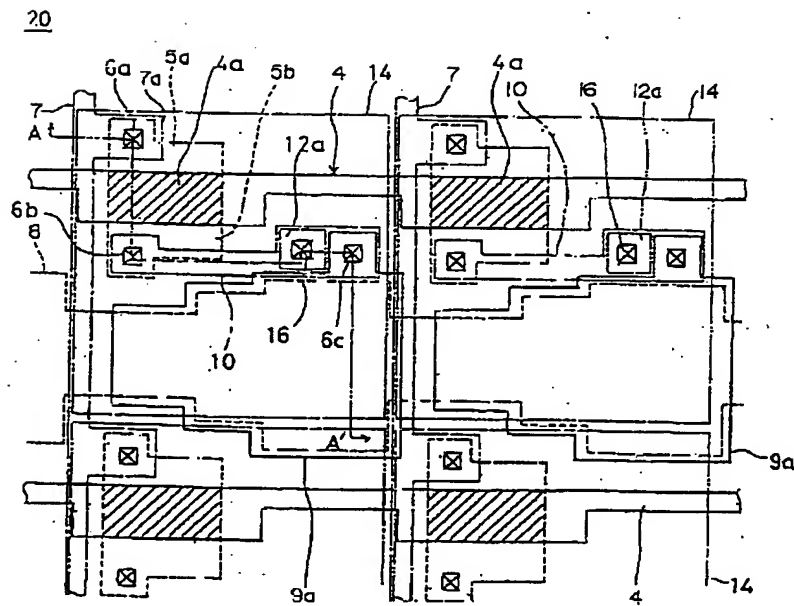
【図17】



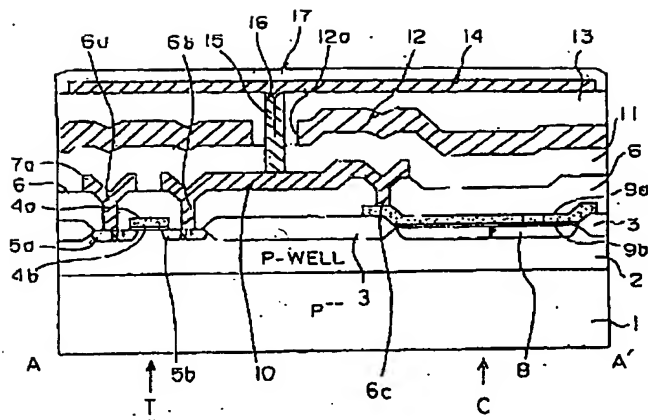
【図16】



【図18】



【図19】



フロントページの続き

Fターム(参考) 2H092 GA05 JA23 JA29 JA30 KA03
KA06 KA16 KA18 KA24 KB03
KB13 MA57 NA01 NA25 PA06
PA12 QA07 RA05
5C006 AA22 AC02 AC09 AC28 AF44
BB15 BC03 BC06 BC12 BF03
BF11 EC11 FA22